

PCT

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 H01L 21/336, 29/786, G02F 1/133		A1	(11) 国際公開番号 WO99/35678
			(43) 国際公開日 1999年7月15日(15.07.99)
<p>(21) 国際出願番号 PCT/JP99/00004</p> <p>(22) 国際出願日 1999年1月4日(04.01.99)</p> <p>(30) 優先権データ 特願平10/1175 1998年1月6日(06.01.98) JP</p> <p>(71) 出願人（米国を除くすべての指定国について） セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者；および (75) 発明者／出願人（米国についてのみ） 川田浩孝(KAWATA, Hirotaka)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>			<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: SEMICONDUCTOR DEVICE, SUBSTRATE FOR ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL DEVICE, ELECTRONIC DEVICE, AND PROJECTION DISPLAY</p> <p>(54) 発明の名称 半導体装置、電気光学装置用基板、電気光学装置、及び電子機器並びに投射型表示装置</p> <p>(57) Abstract It is generally necessary to stabilize the potential of the channel region of a MOSFET on a substrate to ensure the drain breakdown voltage. Therefore, conventionally an additional potential line needs to be provided, causing a problem that the numerical aperture of a transmission liquid crystal device of which the brightness is particularly important decreases. According to the present invention, a light-shielding layer for covering a MOSFET fabricated on a substrate is electrically connected to the channel region of the MOSFET. </p>			

(57)要約

基板上のMOSFETのチャネル領域はドレイン耐圧を確保するために電位を安定させる必要がある。そのため、新たに電位線が必要になり、特に明るさが重要な透過型の液晶表示デバイスでは、開口率が減少してしまうという問題がある。本発明は、基板上に作製したMOSFETを覆うべく形成した遮光層と、上記MOSFETのチャネル領域を電気的に接続したものである。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AL アルバニア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レント	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スウェーデン
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴー
BE ベルギー	GM ガンビア	MD モルドバ	TJ タジキスタン
BF ブルガリア・ファン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダッド・トバゴ
BR ブラジル	HR クロアチア	ML マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MN モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴー	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジエール	YU ユーロースラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZA 南アフリカ共和国
CM カメルーン	IT イタリア	NO ノールウェー	ZW ジンバブエ
CN 中国	JP 日本	NZ ニュー・ジーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	

明細書

半導体装置、電気光学装置用基板、電気光学装置、
及び電子機器並びに投射型表示装置

5

〔技術分野〕

本発明は、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器並びに投射型表示装置に関する。

10 〔背景技術〕

絶縁基体上にシリコン薄膜を形成し、そのシリコン薄膜に半導体デバイスを形成するS O I (Silicon On Insulator) 技術は、素子の高速化や低消費電力化、高集積化等の利点を有することから広く研究されている。

このS O I 技術の一つとして、単結晶シリコン基板の貼り合わせによるS O I 基板の作製技術がある。一般に貼り合わせ法と呼ばれるこの手法は、単結晶シリコン基板と支持基板を水素結合力をを利用して貼り合わせた後、熱処理によって貼り合わせ強度の強化がなされ、次いで単結晶シリコン基板の研削や研磨、またはエッチングによって薄膜の単結晶シリコン層を支持基板上に形成するものである。この手法では、直接単結晶のシリコン基板を薄膜化するために、シリコン薄膜の結晶性に優れ、高性能のデバイスを作成できる。

また、この貼り合わせ法を応用したものとして、単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法 (U S Patent No. 5, 374, 564) や、表面を多孔質化したシリコン基板上に単結晶シリコン層を25 エピタキシャル成長させ、これを支持基板と貼り合わせた後にシリコン基板を除去し、多孔質シリコン層をエッチングすることにより支持基板上にエピタキシャル単結晶シリコン薄膜を形成する手法 (特開平4-346418号) などが知られている。

このような貼り合わせ法によるS O I 基板は通常のバルク半導体基板と同様に

、さまざまなデバイスの作製に用いられているが、従来のバルク基板と異なる特徴として、支持基板に様々な材料を使用することが可能な点を挙げることができる。すなわち支持基板として通常のシリコン基板はもちろんのこと、透明な石英、あるいはガラス基板などを用いることができる。透明な基板上に単結晶シリコン薄膜を形成することによって、光透過性を必要とするデバイス、例えば透過型の液晶表示デバイスなどにも結晶性に優れた単結晶シリコンを用いて高性能なトランジスタ素子を形成することが可能となる。

ところで、通常のシリコン基板上の電界効果型トランジスタ、いわゆるMOSFET (Metal Oxide Semiconductor Field Effect Transistor) では、ウェルの電位を固定する事で、同じウェル内に形成されたMOSFETのチャネル電位を固定することができる。しかし、SOI基板においては、MOSFETのチャネル領域が形成される基板表面は絶縁物であって、そのチャネル領域はトランジスタ毎に電気的に完全分離されるため、チャネルの電位を各トランジスタ毎に固定する必要がある。チャネル電位を固定できない場合には、基板浮遊効果によりチャネル領域にキャリア（電荷）が蓄積しやすくなる。特に、チャネル領域が単結晶シリコンである場合は、単結晶シリコンの電荷移動度が高いために、MOSFETがオフ状態でもソース・ドレインの電位差でチャネル領域に電荷が蓄積してしまう。また、MOSFETがオンの時でも過剰な電流が流れ易くなる。従って、MOSFETの薄膜構造においては、その余分なキャリア（電荷）によってトランジスタ素子のドレインの耐破壊電圧が低下したり、トランジスタ素子の電流電圧特性にキックが生じたりするといった種々の問題が引き起こされるものである。従って、チャネル電位を固定する必要性がある。

その余剰な電荷によりチャネル電位固定の方法としては、ソース領域にチャネルと同じ導電性の不純物領域を形成して、チャネルとソースを同電位にするソースタイと呼ばれる方法（例えば、IEEE Trans. Electron Device, Vol.35, p.1391, 1988）や、ゲート端からチャネル領域を引き出し、その部分にコンタクトを取りH (T) 型ゲートと呼ばれる方法（例えば、IEEE Trans. Electron Device, Vol.ED-36, p.938, 1989）などが知られている。

しかしながら、液晶パネルの各画素に設けられ、画素電極に信号に応じた電圧

を供給するMOSFETは、電位によってソースとドレインが入れ替わるためMOSFETに対称性が必要になるので、SOI基板上に作製したMOSFETで液晶を駆動するには、MOSFET構造が非対称性のソースタイ構造を用いることはできない。また、対称性の良いH(T)型ゲートを使用するためには、走査線、データ線以外にチャネル電位を固定する電位線が必要になり、特に明るさが重要になる透過型の液晶表示デバイスでは、開口率が減少してしまうという問題がある。

本発明の目的は、SOI基板のように、絶縁物上に形成したMOSFETを用いる半導体装置において、MOSFETを遮光する遮光層にMOSFETのチャネル電位を固定することにより、信頼性が高く高品位の半導体装置、電気光学装置用基板、それを用いた電気光学装置、及びそれを用いた電子機器及び投射型表示装置を提供することにある。

〔発明の開示〕

15 本発明の半導体装置は、上記課題を解決するために、絶縁物上に形成された半導体層を備えた半導体装置であって、前記半導体層に少なくともチャネル領域が形成されるトランジスタと、前記トランジスタを遮光する遮光層とを有し、前記遮光層と前記トランジスタのチャネル領域とを電気的に接続してなることを特徴とする。本発明によれば、遮光層はトランジスタを遮光して光リーク電流によるトランジスタの誤動作を防止するとともに、チャネルの電位を安定化させることに用いられる。よって、トランジスタのチャネルに電位印加されるので、チャネルに蓄積した余剰なキャリア（電荷）を遮光層に引き抜くなどして基板浮遊効果を抑制することができ、それによりトランジスタの耐圧を向上し、トランジスタの電流電圧特性のキンクを抑制することができる。

20 また、本発明においては、前記トランジスタはNチャネル型トランジスタであって、前記Nチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、低電位側の電源電位を供給することが望ましい。Nチャネル型トランジスタには、電子（負の電荷）がチャネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、低電源電位が印加されるこ

とにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタはNチャネル型トランジスタであって、前記Nチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、前記Nチャネル型トランジスタのソース・ドレイン領域の一方印加される電位の最低電位以下の電位を供給することが望ましい。Nチャネル型トランジスタのソース・ドレインに印加される電位以下の低電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタはPチャネル型トランジスタであって、前記Pチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、高電位側の電源電位を供給することが望ましい。Pチャネル型トランジスタには、電荷がチャネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化するために、高電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタはPチャネル型トランジスタであって、前記Pチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、前記Pチャネル型トランジスタのソース・ドレイン領域の一方印加される電位の最高電位以上の電位を供給することが望ましい。Pチャネル型トランジスタのソース・ドレインに印加される電位以上の高電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタのチャネル領域の半導体層は延在されて同一導電型のコンタクト領域を形成し、前記コンタクト領域と前記遮光層とが電気的に接続されてなることが望ましい。チャネル領域の直下や直上に引き抜きのコンタクトホールを設けずに、チャネル領域の半導体層を引き伸ばして、そこで遮光層とチャネル領域を接続するので、チャネルの膜厚は変更されるものではなく、トランジスタのスイッチング動作に影響を与えない。加えて、チャネルと同一導電型のコンタクト領域で接続しているので、チャネルに電位を印加しやすい。その場合、前記コンタクト領域は、前記チャネル領域より高不純物濃度であることが望ましい。それにより、コンタクト領域の抵抗値を下げることができ、チャネルに電位を印加しやすい。

また、本発明においては、前記遮光層は、前記トランジスタの上方を覆うように配置されることが望ましい。トランジスタの上方からの光を遮光することにより、トランジスタの光リーク電流を防止することができる。

さらに、本発明の半導体装置は、上記課題を解決するために、絶縁物上に形成された半導体層を備えた半導体装置であって、前記半導体層に少なくともチャネル領域が形成されるPチャネル型トランジスタ及びNチャネル型トランジスタと、前記Pチャネル型トランジスタを遮光する第1の遮光層と、前記Nチャネル型トランジスタを遮光する第2の遮光層とを有し、前第1の遮光層と前記第2の遮光層とは分離配置され、前記第1の遮光層と前記Pチャネル型トランジスタのチャネル領域とを電気的に接続し、前記第2の遮光層と前記Nチャネル型トランジスタのチャネル領域とを電気的に接続してなることを特徴とする。本発明によれば、遮光層はトランジスタを遮光して光リーク電流によるトランジスタの誤動作を防止するとともに、相補型トランジスタのそれぞれのトランジスタのチャネルの電位を安定化させることに用いられる。よって、トランジスタのチャネルに電位印加されるので、チャネルに蓄積した余剰なキャリア（電荷）を遮光層に引き抜くなどして基板浮遊効果を抑制することができ、それにより相補型トランジスタの耐圧を向上し、トランジスタの電流電圧特性のキンクを抑制することができる。また、遮光層はPチャネル用とNチャネル用で分離されているので、相補型トランジスタのチャネルに異なる電位を印加することができる。

また、本発明においては、前記第1の遮光層に高電位側の電源電位を供給し、前記第2の遮光層に低電位側の電源電位を供給することが望ましい。Pチャネル型トランジスタのチャネルには第1の遮光層を介して高電源電位が印加されることにより効果的に余剰なキャリア（電荷）を逃すことができ、Nチャネル型トランジスタのチャネルには、第2の遮光層を介して低電源電位が印加されることにより効果的に余剰なキャリア（電荷）を逃すことができる。

また、本発明においては、前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタのチャネル領域の半導体層はそれぞれ延在されて同一導電型のコンタクト領域をそれぞれ形成し、前記各コンタクト領域と前記各遮光層とが電気的に接続されてなることが望ましい。チャネル領域の直下や直上に引き抜きのコ

ンタクトホールを設けずに、チャネル領域の半導体層を引き伸ばして、そこで遮光層とチャネル領域を接続するので、チャネルの膜厚は変更されるものではなく、トランジスタのスイッチング動作に影響を与えない。加えて、チャネルと同一導電型のコンタクト領域で接続しているので、チャネルに電位を印加しやすい。

5 また、本発明においては、前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタは、電気光学装置の駆動回路を構成してなることが望ましい。本発明の半導体装置を駆動回路に用いることにより、高速動作する駆動回路での動作を安定化させることができる。また、高速動作により発生した熱を遮光層により放熱することもできる。

10 さらに、本発明の電気光学装置用基板は、上記課題を解決するために、基板上にマトリクス状に形成される複数の画素領域の各画素領域毎にトランジスタが配置される電気光学装置用基板において、前記基板上に前記トランジスタのチャネル領域となる半導体層が形成されてなり、該チャネル領域となる半導体層は、当該トランジスタを遮光し且つ所定の電位が印加された遮光層に電気的に接続され
15 てなることを特徴とする。本発明によれば、遮光層はトランジスタを遮光して光リーキ電流によるトランジスタの誤動作を防止するとともに、チャネルの電位を安定化させることに用いることができる。特に、画素のトランジスタのソース・ドレインには電圧振幅の大きい画像信号が印加され、チャネルにも余剰なキャリア（電荷）が蓄積しやすくなるが、その余剰なキャリアは遮光層からの電位印加
20 により解消することができるので、トランジスタの耐圧を向上し、トランジスタのスイッチング動作を安定化させることができ。また、半導体層の活性領域を遮光層に接続したことにより、遮光層を介してトランジスタにて発生した熱を放熱することもできる。特に、半導体層が単結晶シリコン層の場合は、電荷移動度が高く熱発生しやすいので、放熱対策は必要となる。

25 また、本発明においては、前記トランジスタはNチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以下の電位が印加されることが望ましい。Nチャネル型トランジスタには、ソース・ドレインに印加されるのは画像信号に基づいて電荷がチャネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、

画像信号以下の低電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

また、本発明においては、前記トランジスタはPチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以上の電位
5 が印加されることが望ましい。Pチャネル型トランジスタには、ソース・ドレインに印加されるのは画像信号に基づいて電荷がチャネル領域に蓄積される。この蓄積された余剰キャリアを引き抜いて電位を安定化させるために、画像信号以上の高電源電位が印加されることにより効果的にキャリア（電荷）を引き抜ける。

10 また、本発明においては、前記トランジスタはNチャネル型トランジスタであって、前記遮光層には、前記Nチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることが望ましい。非選択電位は、通常、Nチャネル型トランジスタを非導通させるために画像信号電位より低い電位に設定されるので、その電位を兼用することにより余分な電源電圧を要しない。

15 また、本発明においては、前記トランジスタはPチャネル型トランジスタであって、前記遮光層には、前記Pチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることが望ましい。非選択電位は、通常、Pチャネル型トランジスタを非導通させるために画像信号電位より高い電位に設定されるので、その電位を兼用することにより余分な電源電圧を要しない。

20 また、本発明においては、前記トランジスタのチャネル領域の半導体層は延在されて同一導電型のコンタクト領域を形成し、前記コンタクト領域と前記遮光層とが電気的に接続されることが望ましい。チャネル領域の直下や直上に引き抜きのコンタクトホールを設けずに、チャネル領域の半導体層を引き伸ばして、そこで遮光層とチャネル領域を接続するので、チャネルの膜厚は変更されるものではなく、トランジスタのスイッチング動作に影響を与えない。加えて、チャネルと同一導電型のコンタクト領域で接続しているので、チャネルに電位を印加しやすい。その場合、前記コンタクト領域は、前記チャネル領域より高不純物濃度であることが望ましい。それにより、コンタクト領域の抵抗値を下げることができ、チャネルに電位を印加しやすい。

また、本発明においては、前記遮光層は、前記トランジスタの導通・非導通を制御する走査信号が印加される走査線の上方に平面的に重なるように配置されることが望ましい。遮光層を走査線の上部に形成すれば、遮光層領域の他の領域は、光透過領域とすることにより高い開口率のデバイスを作成することが可能になる。

また、本発明においては、前記トランジスタのチャネル領域となる半導体層の前記基板側には、更なる遮光層が平面的に重なるように配置されることが望ましい。トランジスタを上方と下方から挟んで遮光するので、基板の上方及び下方からの入射光からトランジスタを遮光することができる。

また、本発明においては、前記画素領域の周辺の前記基板上には周辺回路を配置し、前記周辺回路を構成するトランジスタのチャネル領域となる半導体層は、当該トランジスタを遮光する遮光層に電気的に接続されることが望ましい。画素領域だけでなく、周辺回路にも同様な対策を施すことによって、電気光学装置の信頼性を全体的に向上させることができる。

また、本発明においては、前記周辺回路はPチャネル型トランジスタ及びNチャネル型トランジスタによって構成され、前記Pチャネル型トランジスタを遮光する第1の遮光層と、前記Nチャネル型トランジスタを遮光する第2の遮光層とを有し、前記第1の遮光層と前記第2の遮光層とは分離配置され、前記第1の遮光層と前記Pチャネル型トランジスタのチャネル領域とを電気的に接続し、前記第2の遮光層と前記Nチャネル型トランジスタのチャネル領域とを電気的に接続してなることが望ましい。周辺回路を相補型トランジスタによって構成した場合においても同様な対策を施すことによって、電気光学装置の信頼性を全体的に向上させることができる。

また、本発明においては、前記画素領域の遮光層と前記周辺回路の遮光層とは同一層により形成されてなることが望ましい。また、前記画素領域の遮光層は、前記周辺回路の配線層と同一層により形成されてなることが望ましい。それにより、画素領域内外で余分な配線層を要しない。

また、本発明においては、前記画素領域のトランジスタはNチャネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のNチャネル型トランジ

スタの遮光層に印加される電位を接地電位とすることが望ましい。電気光学装置の中で数の多いトランジスタがNチャネル型であれば、数多いトランジスタを安定的に動作させるためには、Nチャネル型トランジスタのチャネルに接続する電位を接地電位とすることが好ましい。

5 また、本発明においては、前記画素領域のトランジスタはPチャネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のPチャネル型トランジスタの遮光層に印加される電位を接地電位とすることが望ましい。電気光学装置の中で数の多いトランジスタがPチャネル型であれば、数の多いトランジスタを安定的に動作させるためには、Pチャネル型トランジスタのチャネルに接続する電位を接地電位とすることが好ましい。

また、本発明において、前記基板が絶縁物質からなる、或いは前記基板が石英基板からなる、或いは前記基板がガラス基板からなる。本発明は、絶縁物上に半導体層を形成するS O I 基板に用いるのに最適な技術である。

さらに、本発明の電気光学装置においては、上記の電気光学装置用基板と、対向基板とが間隙を有して配置されるとともに、該間隙内に電気光学材料が封入されて構成される。これにより、高性能なトランジスタを有するアクティブマトリクス型液晶パネル等の電気光学装置を提供することができる。また、この電気光学装置は、画素電極の形成材料の選択により、透過型、反射型のどちらにも適用することができる。

20 さらに、本発明の電子機器は、上記の電気光学装置を表示装置として用いるので、表示装置の信頼性を向上することができる。

さらに、本発明の投射型表示装置は、光源と、前記光源からの光を変調する上記の電気光学装置と、前記電気光学装置により変調された光を投射する投射光学手段とを備える。本発明の電気光学装置は、強力な光源を電気光学装置に照射する投射型表示装置のライトバルブとして用いることに最適である。

〔図面の簡単な説明〕

図1は本発明の第1の実施形態における液晶パネル用基板の画素部を示す平面図。

図2は図1のX-X'断面を示す断面図。

図3は本発明の第1の実施形態における液晶パネル用基板の画素部の半導体層の活性領域レイアウトを示す平面図。

図4は本発明の各実施形態における液晶パネル用基板の画素部の半導体層から
5 アルミニウム層までのレイアウトを示す平面図。

図5は本発明の各実施形態における液晶パネルの画素部の等価回路図。

図6は図5の等価回路図における駆動波形図。

図7は本発明の第2の実施形態における液晶パネル用基板の画素部の断面を示す断面図。

10 図8は本発明の第2の実施形態における液晶パネル用基板の画素部の半導体層の活性領域レイアウトを示す平面図。

図9は本発明の液晶パネル用基板の平面図。

図10は本発明の液晶パネルの断面図。

図11は本発明の周辺回路を構成する相補型インバータの平面レイアウト図。

15 図12及び図13は本発明の投射型表示装置の光学構成図。

図14は本発明の電子機器の概観図。

1 … 透明支持基板

2 … 埋込絶縁膜

3 … 活性領域

20 4 … ゲート電極

5 a … チャネル領域

5 b … チャネルコンタクト領域

6 … ソース・ドレイン領域

7 … 層間絶縁膜

25 8 … データ線

9 a, 9 b … アルミニウム配線

10 … 層間絶縁膜

11 … 遮光層

12 … アルミニウム配線

- 13 … パッシベーション膜
14 … 透明画素電極
15 … コンタクトホール
16 … V I Aホール
5 17 … V I Aホール
20 … 埋込遮光層
30 … 活性領域
101 … 透明基板
102 … 表示画素領域
10 103 … 画素電極
104 … 走査線駆動回路
105 … データ線駆動回路
106 … 入力回路
107 … タイミング制御回路
15 108 … パッド領域
110 … 液晶パネル用基板
111 … 入射側のガラス基板
112 … 対向電極
113 … シール材
20 114 … 液晶
120 … 液晶パネル

〔発明を実施するための最良の形態〕

以下、本発明の好適な実施形態を図面に基づいて説明する。

25 (第1の実施形態)

本実施の形態は、電気光学装置用基板の一例としての液晶パネル用基板を示す。本実施の形態においては、電気光学装置用基板を絶縁物上に半導体層を形成したS O I基板を用いた構成に基づいて説明する。また、以下、各実施形態においては、絶縁物上に形成したM O S F E Tを有する電気光学装置用基板を本発明の

半導体装置の一例として説明する。

図1は本実施形態の液晶パネル用基板の画素部における各層のレイアウトを示す平面図である。また、図3は本実施形態の液晶パネル用基板の画素部における半導体層（単結晶シリコン層）のレイアウトを示す平面図である。図4は本実施
5 形態の液晶パネル用基板の画素部における半導体層（単結晶シリコン層）、多結晶シリコン層及び一層目のアルミニウム層までのレイアウトを示す平面図である。
。図2は図1中に示したX-X'の点線で結ばれる個所の断面を示した断面図である。なお、図3、図4においても図2の断面に対応する個所に、X-X'の点線を付加した。

10 液晶パネル用基板においては、基板上に、複数の走査線と複数のデータ線がマトリクス状に交差して配置され、その交差部近傍にゲートを走査信号線、ソースを画像信号線、ドレインの他方を画素電極に接続したMOSFETが配置される。
。このMOSFETは、ガラス等の光透過性の絶縁性基板上に形成される半導体層（シリコン層）に形成されるソース・ドレイン・チャネルからなる。なお、画
15 素電極は、走査線とデータ線の交差によって形成される画素領域に開けられた開口部に配置されるものである。このようなマトリクス構成により表示画素領域が構成される。

20 図1において、8は表示画素領域の縦方向（垂直方向）に延在して配列されるデータ線を示す。11はデータ線8の上方に絶縁膜を介してデータ線8と交差する表示画素領域の横方向（水平方向）に延在して配置される遮光層を示す。遮光層11の幅が太くなっている部分の下層にMOSFETが配置されている。また、遮光層11の下には後述するように走査線が重なるように、表示画素領域の横方向（水平方向）に配置されている。このMOSFETのドレイン領域となる半導体層はその上に形成された絶縁膜に開口されたコンタクトホール16aを介して導電層12に接続され、さらに導電層12はその上に形成された絶縁膜に開口されたコンタクトホール17を介して画素電極14に接続されている。画素電極
25 14は、遮光層11とデータ線8との格子によって区画された開口部に配置される。

次に、図1におけるX-X'の断面を示す図2に基づいて、断面構成を説明す

る。図2において、1は石英ガラスやOAガラスのような光透過性を有する透明な絶縁性の支持基板、2は支持基板1上に形成された二酸化シリコンなどの埋込絶縁膜、3, 5a, 5b, 6aは半導体層を示す。このうち3は素子分離用の絶縁膜である。本実施形態においては、この半導体層は、周知のSOI技術によつて貼り合わせて形成された単結晶シリコン層を一例とする。具体的には、絶縁膜2が表面に形成された支持基板1と表面に絶縁膜2が形成された単結晶シリコン基板とを加熱して貼り合わせ、上記半導体層を残してシリコン基板を剥離又はエッティングして、絶縁膜2上に単結晶シリコン層を形成する。その後、単結晶シリコン層の非素子領域(FETの非形成領域)を選択酸化することにより素子分離用のフィールド酸化膜(いわゆるLOCOS)3を形成してなる。このフィールド酸化膜3により囲まれた領域の半導体層が活性領域30となる。

さらに、この単結晶シリコン層の上に二酸化シリコンからなるゲート絶縁膜18が形成され、さらにその上に、多結晶シリコンによって走査線ともなるゲート電極4が形成される。ゲート絶縁膜18にはシリコン酸化膜を用いた。本実施形態では、このシリコン酸化膜は、LTO(Low Temperature Oxide)によるシリコン酸化膜とした。この絶縁膜は単結晶シリコン層の表面を熱酸化した熱酸化膜でも、単結晶シリコン層上に堆積させた窒化膜でも構わない。また複数層の積層でも構わない。また、ゲート電極4となる導電層としては多結晶シリコン層を用いたが、多結晶シリコンに高融点金属を積層したシリサイド構造としてもよい。

このような、ソース・ドレイン領域6a・6bと、チャネル領域5aと、ゲート絶縁膜18と、ゲート電極4とにより、MOSFETが構成される。特に、本実施形態のように、絶縁物上に形成された薄膜層によってFETを構成したものは薄膜トランジスタ(Thin Film Transistor: TFT)と呼ばれる。

ここで半導体層のレイアウトを示す図3を用いて、基板上に形成された活性領域30のパターンを説明する。上記フィールド酸化膜3によって囲まれたパターン6a, 6b, 5a, 5bが活性領域30のパターンとなる。すなわち、活性領域30どうしは単結晶シリコン層に形成されるフィールド酸化膜3を間に置いて配置されるようになるため、MOSFET等の形成される素子領域(活性領域)30は他の素子領域(活性領域)30と電気的に完全に分離される。詳細は後述

するが、MOSFETは活性領域30に形成される5aをチャネル領域、6aをドレイン領域、6bをソース領域として構成される。さらに、活性領域30には、容量電極部6c、コンタクト領域5bも形成される。本実施形態においては、各画素に配置するMOSFETをNチャネル型トランジスタとするため、ソース領域6b、ドレイン領域6a、容量電極部6cはN型半導体領域、チャネル領域5a、コンタクト領域5bはP型半導体領域となるように、それぞれ対応する不純物が単結晶シリコン層に導入され、その不純物が活性化されて活性領域が形成される。

再び、図2に戻って説明すると、本実施形態においては、各画素にNチャネル型トランジスタを配置する構成であるため、上記ゲート電極4の下のチャネル領域5aにはゲート電極4の形成前に、低不純物濃度のP型不純物を導入したP型半導体領域を形成しておくことが必要となる。また、該チャネル領域5aの両側の単結晶シリコン層には、チャネル領域5aより高濃度のN型不純物が導入されたN型拡散層からなるソース領域6b・ドレイン領域6aが形成される。なお、図2では、ソース領域6bと容量電極部6cは図示されていない。また、図2に図示されるように、チャネル領域5aとそれに繋がったコンタクト領域5bは同じP型半導体領域であっても不純物濃度はコンタクト領域5bの方が高くなるように不純物が導入される。また、図示されない容量電極部6cはドレイン領域6aを延在した領域であって、ドレイン領域6aと同一導電型の同一不純物濃度として形成される。このような半導体層の活性領域への不純物の導入は、ゲート絶縁膜18を形成した後に、活性領域30全体にチャネル領域5aに対応する不純物を導入してから他の各領域に対してそれぞれに対応した導電型と濃度の不純物を導入し、それからゲート電極4を形成してもよいし、ゲート絶縁膜18の形成後に、チャネル領域5aの不純物濃度を活性領域30全体に導入してから、ゲート電極を形成し、その後に他の各領域に対してそれぞれに対応した導電型と濃度の不純物を導入するようにしてもよい。

次に、ソース領域6b、ドレイン領域6a、チャネル領域5a、コンタクト領域5bの半導体層の活性領域30上方のゲート絶縁膜18及びゲート電極4上には、BPSG (Boron Phosphorus Silica Glass) 膜のような絶縁膜7が形成さ

れ、その上に一層目のアルミニウム層からなるデータ線 8 (図 1 及び図 4 参照) が形成される。このデータ線 8 の平面的な位置は図 1 に示される。図 4 にはこのデータ線 8 と半導体層との接続が示されており、データ線 8 の一部がデータ線のアルミニウム層とドレイン領域 6 b との間に介在される絶縁膜 7 に形成されたコンタクトホール 15 b を介してソース領域 6 b に電気的に接続されている。ソース領域 6 b とコンタクトホール 15 b の関係は図 3 に示されている。

また、図 2 に示されるように、MOSFET の上方には上記データ線 8 と同一層からなる一層目のアルミニウム層によって第 1 の中継配線 9 a と第 2 の中継配線 9 b も形成される。この第 1 の中継配線 9 a は上記絶縁膜 7 に形成されたコンタクトホール 15 a にて上記ドレイン領域 6 a に電気的に接続され、第 2 の中継配線 9 b は上記絶縁膜 7 に形成されたコンタクトホール 7 a にて上記コンタクト領域 5 b に電気的に接続される。

さらに第 1 、第 2 の中継配線 9 a , 9 b の上には、SOG (Spin On Glass) 膜のような平坦化膜と LTO (Low Temperature Oxide) 膜の積層からなる絶縁膜 10 が形成される。

さらに、絶縁膜 10 の上には、二層目のアルミニウム層によって遮光層 11 と第 3 の中継配線が形成される。遮光層 11 は上記絶縁膜 10 に形成されたコンタクトホール 16 b にて一層目のアルミニウム層からなる第 2 の中継配線 9 b に電気的に接続される。また、第 3 の中継配線 12 は上記絶縁膜 10 に形成されたコンタクトホール 16 a を介して第 1 の中継配線 9 a に電気的に接続される。

さらに、遮光層 11 及び第 3 の中継配線 12 の上には、窒化シリコンのようなパッシベーション膜の絶縁膜 13 が形成される。第 3 の中継配線 12 はその上に形成された ITO (Indium Tin Oxide) のような透明導電膜からなる画素電極 14 に、絶縁膜 13 に形成されたコンタクトホール 17 を介して電気的に接続される。なお、図示されないが、ITO 上には液晶分子を配向するための配向膜が形成されており、それには配向方向を決めるラビング処理がなされる。

以上に説明した構造によって、基板上に、ゲート電極 4 を走査線 4 に電気的に接続し、ソース・ドレイン領域の一方 6 b をデータ線 8 、他方 6 a を画素電極 14 に電気的に接続した MOSFET が構成される。MOSFET のソース・ドレ

イン領域の他方 6 a と画素電極 1 4 が、コンタクトホール 1 5 a, 第 1 の中継配線 9 a, コンタクトホール 1 6 a, 第 3 の中継配線 1 2, コンタクトホール 1 7 を介して電気的に接続されることになる。また、ソース・ドレイン領域の他方 6 b は延在されて容量電極部 6 c が構成される。この容量電極部 6 c は、後述する
5 ように、データ線 8 から M O S F E T を介して画素電極 1 4 に印加する電圧を蓄積保持する蓄積容量の電極となる。蓄積容量において、容量電極部 6 c と対向する電極は隣接する段の走査線 4 である。この走査線 4 は、一水平走査期間前に既に選択され本水平走査期間では非選択電位が印加されている前段の走査線である。
10 また、チャネル領域 5 a から延在されたチャネル領域と同一導電型で高不純物濃度のコンタクト領域 5 b は、コンタクトホール 7 a, 第 2 の中継配線 9 b, コンタクトホール 1 6 b を介して遮光層 1 1 に電気的に接続される。

なお、本実施形態及び以降の各実施形態においては、ソース領域とドレイン領域は置換可能であり、6 b をドレイン領域、6 a をソース領域としてもよいことは詳述するまでもないが、以下、各実施形態においては 6 b をソース領域、6 a
15 をドレイン領域として説明する。

また、本実施形態においては、画素に配置する M O S F E T を N チャネル型トランジスタを前提として説明してきたが、P チャネル型トランジスタに置き換えるても、その構造は同じである。但し、P チャネル型トランジスタの場合には、ソース・ドレイン領域 6 a, 6 b 及び容量電極部 6 c は P 型不純物が半導体層に高濃度に導入され、チャネル領域 5 a にはそれよりも N 型不純物が低濃度に導入され、コンタクト領域 5 b にはチャネル領域 5 s よりも N 型不純物が高濃度に導入されることになる。

次に、先に述べた蓄積容量（保持容量）について説明する。

図 3 で示すように、ドレイン領域 6 a は保持容量を形成するために、前段の走査線 4 （ゲート電極 4 と電気的に接続された配線層であり、図 1 の配線層 1 1 の直下にて配線層 1 1 と重なって同一方向に配線される。走査線 4 と同一層で形成することができる。）の直下まで引き延ばされ、容量電極部 6 c を構成している。図 3 における容量電極部 6 c は、図 4 における前段の走査線 4 の直下に位置する。前段の走査線とは、選択されて選択電位が印加される走査線より前に選択電

位が印加される走査線をいう。すなわち、前段の走査線は、現在の走査線が選択電位にあるとき、非選択電位が印加されている。この容量電極部 6 c と前段の走査線とがゲート絶縁膜と同一層の絶縁膜 18 を介して重なることにより保持容量が形成される。なお、この保持容量は周知のように、MOSFET を介してデータ線 8 から画素電極 14 に書き込まれた電荷を、走査線 4 に非選択電位が供給される非選択期間に蓄積するものである。図 4 に示されるように、MOSFET のゲート電極も兼ねる走査線 4 は、表示画素領域において縦方向（垂直方向）に延びるデータ線 8 と交差するように横方向（水平方向）に延在し、隣の列の後段の画素のMOSFET のドレイン領域 6 a が左隣の列の前段の画素行の走査線 4 の直下に延び、そこで容量を形成している。

次に、本発明の特徴でもあるチャネル領域 5 a に対する電位印加について説明する。

本実施形態においては、図 2 及び図 3 に示されるように、P 型不純物が低濃度に導入された上記チャネル領域 5 a を、固定電位に電気的に接続させるために、
15 P 型不純物が導入された高不純物濃度の P 型拡散層からなるチャネルコンタクト領域 5 b が、単結晶シリコン層の活性領域 3 0 に形成される。このチャンネルコンタクト領域 5 b はチャネル領域 5 a に接して形成される領域である。先に説明したように、コンタクト領域 5 b は、絶縁膜 7 に形成されたコンタクトホール（VIA ホールともいう） 7 a、一層目のアルミニウム層からなる第 1 の中継配線 9 b、絶縁膜 10 に形成されたコンタクトホール（VIA ホールともいう） 16 b を介して、図 1 及び図 2 に示される遮光層 11 に電気的に接続される。

すなわち、遮光層 11 は二層目のアルミニウム層からなり、これが一層目のアルミニウム層からなる第 1 の中継配線 9 b に、絶縁膜 10 に形成された VIA ホール 16 b を介して接続され、さらに一層目のアルミニウム層からなる第 1 の中継配線 9 b の一部が上記絶縁膜 6 に形成されたコンタクトホール 7 a にて上記チャネルコンタクト領域 5 b に電気的に接続されている。本実施形態においては、MOSFET が N チャネル型トランジスタであるので、この遮光層 11 には表示画素領域の周辺部に位置する電源配線から電源電圧の低電位側（特に接地電位が好ましい）、あるいはデータ線 8 や走査線 4 に供給される電圧の最低電位以下の

電位が供給される。

よって、遮光層 11 の電位が N チャネル MOSFET の P 型チャネル領域 5a に供給され、チャネル領域 5a の電位を安定化させることができる。つまり、MOSFET がオンのときに過剰な電流が流れたりすると、コンタクト領域 5b から遮光層 11 で放電され MOSFET を保護する。また、MOSFET がオフのときにソース・ドレイン間に生じた電位差でチャネル領域に余剰な電荷（キャリア）が発生しても、それは遮光層 11 に引き抜くことができる。従って、MOSFET のチャネル領域の電位は常に安定化でき、MOSFET の破壊を引き起こすような余剰な電荷を蓄積しないようにできるので、N チャネル MOSFET の耐電圧を上げるとともに電流特性を安定化させ、その特性を向上させることができ。また、MOSFET のソース・ドレイン・チャネルを形成する半導体層を、画素領域を延在して配置される遮光層に接続することにより、トランジスタの動作において発生した熱を遮光層を介して放熱することもできる。特に、本実施形態のように、半導体層が単結晶シリコン層である場合には、電荷移動度が高く半導体層で熱発生しやすくなるが、本実施形態によれば、その熱を放熱し、基板上に形成された素子が高熱に晒され、誤動作しないようにすることもできる。

ここで、以上に説明した本実施形態の電気光学装置用基板（液晶パネル用基板）と対向基板とを液晶層を介在して対向させて構成される液晶パネルの表示画素部の回路構成を説明する。図 5 は液晶パネルの表示画素部における列方向に隣接する 2 画素を示す等価回路図を示す。

アクティブマトリクス型液晶表示装置における液晶パネルは、走査線 4 (X_{n-2}, X_{n-1}, X_n : n は選択される順番を示す整数) と画像信号線 8 (Y_{n-1}, Y_n) とがマトリクス平面上に配設され、この平面上の交差点近傍には MOSFET (TFT) がそれぞれ配置される。MOSFET のソース 6b はデータ線 8 にコントакトホール 15b を介して電気的に接続され、ゲート電極は走査線 4 に電気的に接続されており、ドレイン 6a は画素電極 14 と容量電極部 6c に電気的に接続される。画素電極 14 は、対向基板の内面に配置された対向電極 112 と液晶層を挟んで対向し、両電極間の液晶を極性反転駆動する。対向電極 112 には極性反転駆動の基準電位となる共通電位 VLC が印加され、画素電極 14 と対向電

極 112 とは液晶層を誘電体とする液晶容量 CLC を構成する。また、容量電極部 6c は、前段の走査信号線 4 (Xn の画素の MOSFET にとっての前段走査線は Xn-1) との間に保持容量 (蓄積容量) Cs を構成する。すなわち、一画素は、トランジスタとそれに接続された液晶容量と保持容量により構成される。

- 5 MOSFET のチャネル領域 5a は、この MOSFET を駆動する走査線と平行な方向に配設される遮光層 11 に電気的に接続される。すなわち、走査線 4 (Xn) にゲートが接続された MOSFET のチャネル領域 5a は、これに隣接する遮光層 11 に電気的に接続され、チャネル領域 5a に対してコンタクト領域 5b を介して固定電位を与えている。別な表現をすれば、チャネル領域 5a からコンタクト領域 5b を介して、チャネル領域 5a に存在する余剰なキャリアを遮光層 11 に引き抜くことにより基板浮遊効果を抑制している。
- 10

次に、図 6 の駆動タイミングチャートに基づいて液晶パネルの駆動と MOSFET のチャネル領域への固定電位印加について説明する。

- VG は走査線 4 に印加される走査信号波形である。走査信号は垂直走査期間毎に到来する選択期間 T1 に選択電位 VG1 となって、本実施形態の N チャネル型 MOSFET をオンさせる。その後、非選択期間 T2 となって低電位の非選択電位 VG2 となり、MOSFET をオフさせる。なお、順次駆動であるので、選択期間 T1 の直後から次段の走査線 4 に選択電位が印加され、これが順次繰り返される。VID はデータ線 8 に印加される画像信号の電位波形である。Vc は画像信号 VID の中心電位を示す。画像信号 VID は、垂直走査期間 (フレーム又はフィールド) 每に中心電位 Vc に対して極性を反転させた電位波形となる。Vp は画像信号線 8 における画像信号 VID が、本実施形態の N チャネル型 MOSFET を介して画素電極 14 に印加されてなる画素電極電位である。VLC は対向電極 112 に印加される共通電位である。共通電位 VLC は、画素電極電位 Vp の極性反転する電位波形がほぼ正負で対称となるような電位に設定されることにより、液晶層に印加される電圧が一方の極性に偏らないようにして交流駆動することにより、液晶の劣化を防止している。
- 20
- 25

なお、 ΔV は、N チャネル型 MOSFET の寄生容量に基づく画素電極電位 Vp の電圧劣化分を示している。選択期間 T1 の終了時には、N チャネル型 MOSF

E T のチャネル領域 5 a には電荷が蓄積し、ドレイン領域 6 a とゲート電極（走査線）4との間の寄生容量に電荷が蓄積する。この電荷は、非選択期間 T 2 になってゲート電極が非選択電位に下がることにより、ドレイン側に流れて画素電極 1 4 に印加され、選択期間 T 1 中にデータ線 8 と同等レベルまで充電していた画素電極電位 V p を ΔV だけ降下させ、液晶層への印加電圧を下げてしまう。従って、VLCをずらして画素電極電位 V p が正負対称の波形となるようにしている。

しかし、せっかく書き込んだ電圧を十分に活かせておらず、且つ VLC の調整は難しいので、 ΔV をできるだけ小さくすることが表示品質を向上するためには望ましく、そのためには、チャネルに蓄積する余剰キャリアを少なくしなければならない。しかしながら、本発明では、チャネル領域から余剰キャリアを引き抜くことができる。特に、本発明のように、MOSFET が電荷移動度が高い単結晶シリコンのチャネル領域の場合は、MOSFET をオフにした時に余剰キャリアが残り易いので、本発明の構成を採用することにより、表示品質をも向上させることができる。

本実施形態においては N チャネル型 MOSFET であるため、チャネル領域 5 a には、画像信号 VID がチャネル領域を伝達されることによって電子（負電荷）が蓄積されて電流が流れる。従って、チャネル領域 5 a に電気的に接続される遮光層 1 1 の電位は、画像信号 VID の最低電位より低い電位とする。例えば、非選択電位 VG2 を遮光層 1 1 の電位として用いると、この電位は画像信号 VID の最低電位よりも低い電位であり、且つ液晶パネル内の電源電位を兼用することができるので好ましい。また、遮光層 1 の電位は非選択電位 VG2 より低くても構わない。さらに、遮光層 1 1 （及び非選択電位 VG2）の電位を接地電位 GND とすれば、その電位は安定するので、チャネル領域の電位をより一層安定化することができる。このように、遮光層 1 1 の電位は、少なくとも画像信号 VID の電位以下であることが必要である。

また、本実施形態においては、各画素の保持容量 C s は、容量電極部 6 c と前段の走査線 4 とを絶縁膜を介在させて構成していたが、本発明はこれに限られるものではない。例えば、保持容量 C s は、容量電極部 6 c を後段の走査線 4 の直下に延ばし、後段の走査線 4 との 1 8 絶縁膜を介した対向により構成してもよい

。また、画素領域内に走査線 4 と並んで走査線 4 と同一層により容量線を形成し、その容量線に図 6 における VLC の電位を印加して、容量線と容量電極部 6 c との絶縁膜 18 を介した対向により容量を構成してもよい。また、容量電極 6 c を容量の電極とするのではなく、ドレイン領域 6 a を別層の電極に接続し、その電極と走査線や容量線との絶縁膜を介した対向により容量を構成しても構わない。
5 なお、容量の電極を半導体層よりも上層で構成する場合には、この電極を遮光層 11 と層間絶縁膜を介して対向させて容量を構成することもできる。このようないずれの場合でも、本発明の作用効果は同様に得ることができる。

また、本実施形態では、N チャネル型 MOSFET を用いて説明しているが、
10 P チャネル型 MOSFET (TFT) に置換しても、N チャネル型 MOSFET の場合と全く同一の回路・構造・パターンとなり、同様の作用効果を得ることができる。但し、図 6 の各種信号電位は、高低が全く逆になり、図の上側が低電位、下側が高電位となる。従って、遮光層 11 に印加される非選択電位 VG2 は、画像信号 VID の最高電位以上の高電位であって、この好ましく接地電位にすること
15 により、P チャネル型 MOSFET のチャネル領域 5 a に対して画像信号 VID より高電位を印加することができる。それにより、正孔（正電荷）が蓄積して電流が流れる P チャネル型 MOSFET のチャネル領域 5 a での余剰キャリアを引き抜き、チャネル電位を安定化することができる。

また、この遮光層 11 は MOSFET のチャネル領域 5 a を少なくとも覆って
20 遮光するように配置され、チャネル領域 5 a での光リーク電流を抑制することができる。さらに、遮光層 11 はチャネル領域 5 a と同一導電型のチャネルコンタクト領域 5 b も遮光することにより、チャネルコンタクト領域 5 b での光リーク電流も抑制している。また、遮光層 11 は走査線 4 と重なるように配置されており、液晶パネルの開口率を損なうことがないようにされている。

25 以上、本実施形態によれば、透明な画素電極にデータ線からの画像信号を供給する MOSFET は、その上方に形成する遮光層を利用してチャネル領域に電位を与えることができる。チャネル領域に与える電位は、MOSFET の電導型によってそれぞれ定めれば良い。また、チャネル領域に電位を供給する配線として走査線と重なる遮光層を用いることによって画素部の開口率の大きい液晶表示パ

ネル用基板を供給することができる。

なお、先に説明したように、上記の説明はNチャネルMOSFETの場合についてであるが、各領域の電導型が異なるPチャネルMOSFETを用いても良い。その場合、チャネル領域・チャネルコンタクト領域とソース・ドレイン領域の導電型は上記実施形態とは逆導電型となる。この場合、遮光層11には電源電圧の高電位側の電位、あるいはデータ線8や走査線4に供給される電圧の最高電位以上の電位が供給され、N型チャネル領域の電位を安定化することができる。

(第2の実施形態)

次に、本発明を適用した電気光学装置用基板の一例である液晶パネル用基板において、第1の実施形態の構成に対して更に遮光層201を追加した実施形態を説明する。なお、本実施形態における第1の実施形態と同じ符号は、特段説明しない限り、同一の工程で形成される層、あるいは同一の機能を有する部材を意味する。また、本実施の形態においては、第1の実施形態と同様に、電気光学装置用基板を絶縁物上に半導体層を形成したSOI基板を用いた構成に基づいて説明する。

図7は本実施形態の液晶パネル用基板の画素部における断面を示す断面図である。また、図8は本実施形態の液晶パネル用基板の画素部における第1の遮光層と半導体層(単結晶シリコン層)のレイアウトを示す平面図である。本実施形態においては、液晶パネル用基板の画素部における各層のレイアウトを示す平面図、及び液晶パネル用基板の画素部における半導体層(単結晶シリコン層)、多結晶シリコン層及び一層目のアルミニウム層のレイアウトを示す平面図は、第1の実施形態における図1及び図4と実質的に同一である。本実施形態の図7及び図8は、第1の実施形態における図2及び図3に対応する図である。従って、図7の断面図は、各平面図のX-X'を結んだ線における断面を示す図となる。

本実施形態においては、図7に示すように、埋込絶縁膜2にMo, Cr, Ta等から選ばれた高融点金属などからなる埋込遮光層(第1の遮光層)20が形成されている。この埋込遮光層20は、周知のSOI基板の製造方法を用いて、支持基板1上に単結晶シリコン層からなる活性領域30を貼り合わせる工程の前に

、支持基板 1 上に予め形成されるものである。従って、上記貼り合わせ工程の前に埋込遮光層 20 をパターニングしても良いし、活性領域 30 を貼り合わせた後、単結晶シリコン層にフィールド酸化膜 3 を形成する素子分離工程時にパターニングしても良い。この遮光層 20 にも表示画素部の周辺領域にて所定の電位が与えられる。好ましくは、遮光層 11 と同一の電位を印加されることが、MOSFET の動作安定化のためにはよい。なお、絶縁膜 2 にコンタクトホールの形成ができる場合は、MOSFET のチャネル領域 5a から延在したコンタクト領域 5b と埋込遮光層 201 とを電気的に接続して、埋込遮光層 201 からチャネル領域に上記した電位を印加してもよい。

図 8 に示すように、埋込遮光層 20 は単結晶シリコン層に形成される活性領域 30 の基板側に形成され、活性領域 30 の領域をすべて覆って遮光するように形成される。素子分離工程以降の MOSFET から画素電極までの構造は、前述の第 1 の実施形態と全く同一である。

本実施形態によれば、第 1 の実施形態と同様に、画素電極にデータ線からの画像信号を供給する MOSFET は、その上方に形成する遮光層を利用してチャネル領域に電位を与えることができるので、チャネル領域の電位を安定化することができるだけでなく、第 1 の遮光層によって液晶パネル用基板の裏面（図面での下側）からの反射光や外光などが活性領域 30 に入り込むことを防止する事ができる。なお、本実施形態においても、第 1 の実施形態と同様に、N チャネル型 MOSFET ではなく、P チャネル型 MOSFET としてもよいことは言うまでもない。その場合、第 1 の実施形態と同様に、N チャネル型とするか P チャネル型とするかで、遮光層 11, 201 に印加する電位も変えられる。

さらに、遮光層 201 は保持容量の電極として用いてもよい。その場合、半導体層の容量電極部 6c と遮光層 201 との絶縁膜 2 を介在した対向により構成することができる。

(本発明の電気光学装置の実施形態)

本発明の電気光学装置用基板を用いて作成された電気光学装置の一例である液晶パネルの構成を、図面を用いて説明する。

図9は上記第1及び第2の実施形態を適用した透過型液晶パネル用基板の全体の平面レイアウト図を示す。なお、この図面は理解を容易にするために説明に不要な箇所は省略しており、モデル的に描いている。

図9に示すように、透明基板101（図2、図7の基板1に相当）の上には表示画素領域102があり、画素電極103（図1の画素電極14に相当）がマトリクス状に配置されている。また、透明基板101上の表示画素領域102の周辺には、表示信号を処理する周辺駆動回路104、105が形成されている。走査線駆動回路104は走査線を順次走査して選択電位VG1、非選択電位VG2を印加する。データ線駆動回路105はデータ線に画像データに応じた画像信号を供給する。またパッド領域108を介して外部から入力される画像データを取り込む入力回路106や、これらの回路を制御するタイミング制御回路107等の回路も透明基板101上に設けられており、これらの回路はすべて各画素毎に配置した上記MOSFETと同一工程または異なる工程で形成されるMOSFETを能動素子あるいはスイッチング素子とし、これに抵抗や容量などの負荷素子を組み合わせることで構成されている。113はシール材の形成領域を示す。この領域にシール材が形成されて本発明の液晶パネル用基板と対向基板とが接着される。

なお、第1及び第2の実施形態にて説明した遮光層11は、上記の周辺回路（走査線駆動回路104、データ線駆動回路105、タイミング制御回路107、入力回路106）において形成される配線層と同一層のアルミニウム配線層で形成されるものであり、遮光層11には周辺回路領域にて上述したような所定の電位が供給される。また、遮光層201にも周辺回路領域にて上述したような所定の電位が供給され、この遮光層201は周辺回路領域においてはMOSFETの遮光だけでなく、回路素子同士や電源線と回路素子を接続する配線層としても用いることができる。

図10は図9に示した液晶パネルのY-Y'線での断面図である。図10に示すように液晶パネルは、表示画素と駆動回路を形成した基板（SOI基板）110と、共通電位VLCが印加される透明導電膜（ITO）からなる対向電極112を有する透明基板（対向基板）111が一定間隔をおいて配置され、周辺をシ-

ル材 113 封止された隙間に周知の TN (Twisted Nematic) 型液晶 114、電圧無印加状態で液晶分子がほぼ垂直に配向された垂直配向 (Homeotropic) 型液晶、電圧無印加状態で液晶分子がねじれずにはぼ水平配向された水平配向 (Homogeneous) 型液晶、強誘電型液晶あるいは高分子分散型液晶等の液晶などが充
5 填されて液晶パネル 120 として構成されている。なお、外部から信号を入力できるように、パッド領域 108 は上記シール材 113 の外側に来るようシール材を設ける位置が設定されている。

次に、本実施形態の液晶パネル用基板において、基板の周辺領域に形成される上記周辺回路（走査線駆動回路 104、データ線駆動回路 105、タイミング制御回路 107、入力回路 106 等）において、先に説明した実施形態と同様に、周辺回路の MOSFET のチャネル領域を、MOSFET を遮光する遮光層に対して電気的に接続する実施形態について説明する。

図 11 は、周辺回路を構成する相補型インバータの平面レイアウト図を示す。相補型インバータは、P チャネル型 MOSFET (TFT) と N チャネル型 MOSFET (TFT) からなる。図 11 において、210 は一層目のアルミニウム層からなる高電源電位 VDD を供給する第 1 の電源線であり、220 は一層目のアルミニウム層からなる低電源電位 VSS を供給する第 2 の電源線である。230 は一層目のアルミニウム層からなる入力配線、240 は一層目のアルミニウム層からなる出力配線である。215 は P チャネル型 MOSFET のゲート電極、225 は N チャネル型 MOSFET のゲート電極であり、2 つのゲート電極は同一層で繋がっており、第 1 の層間絶縁膜に形成されるコンタクトホール 231 を介して上層の一層目のアルミニウム層の入力配線 230 と接続されている。

基板上には、半導体層（単結晶シリコン層）の活性領域 30 は、二個所（点線でそれぞれ囲まれた領域）に島状に分離配置されており、ゲート電極 215 の直下にゲート絶縁膜を介して位置する活性領域 30 には、N 型不純物が低濃度に導入された N 型チャネル領域が形成され、チャネル領域を挟んで対向する両側の活性領域 30 には P 型不純物がチャネルより高濃度に導入されたソース・ドレイン領域が形成される。ソース領域は第 1 の層間絶縁膜に形成されたコンタクトホール 213 を介して第 1 の電源線 210 に接続され、ドレイン領域は第 1 の層間絶

縁膜に形成されたコンタクトホール241を介して出力配線240に接続されている。

一方、Nチャネル型MOSFETは、ゲート電極215の直下にゲート絶縁膜を介して位置する活性領域30には、P型不純物が低濃度に導入されたP型チャネル領域が形成され、チャネル領域を挟んで対向する両側の活性領域30にはN型不純物がチャネルより高濃度に導入されたソース・ドレイン領域が形成される。ソース領域は第1の層間絶縁膜に形成されたコンタクトホール223を介して第2の電源線220に接続され、ドレイン領域は第1の層間絶縁膜に形成されたコンタクトホール242を介して出力配線240に接続されている。

さらに、Pチャネル型MOSFETのチャネル領域は図中の右方向に延在されてコンタクト領域を形成し、そのコンタクト領域は第1の層間絶縁膜に形成されたコンタクトホール219を介して一層目のアルミニウム層からなる中継配線250に接続され、この中継配線250はさらに第2の層間絶縁膜に形成されたコンタクトホール251を介して遮光層（点線で囲まれた領域）212に接続される。また、Nチャネル型MOSFETのチャネル領域は図中の右方向に延在されてコンタクト領域を形成し、そのコンタクト領域は第1の層間絶縁膜に形成されたコンタクトホール229を介して一層目のアルミニウム層からなる中継配線260に接続され、この中継配線260はさらに第2の層間絶縁膜に形成されたコンタクトホール261を介して遮光層（点線で囲まれた領域）222に接続される。遮光層212、222はそれぞれ二層目のアルミニウム層から形成されており、互いに分離されている。また、遮光層212は、第2の層間絶縁膜に形成されたコンタクトホール211を介して下層の第1の電源線210に接続され、高電源電位VDDが与えられている。一方、遮光層222は、第2の層間絶縁膜に形成されたコンタクトホール221を介して下層の第2の電源線220に接続され、低電源電位VSSが与えられている。この高電源電位VDDと低電源電位VSSの一方は接地電位(GND)とするのが好ましく、画素領域にて各画素のスイッチングトランジスタをNチャネル型MOSFETとする場合には、先に述べたように、画素領域の遮光層11と周辺回路のNチャネル型MOSFETを遮光する遮光層212に印加される低電源電位VSSを接地電位GNDすることが、液晶パネ

ル内のより多くのMOSFETのチャネルを安定化できて好ましい。一方、画素領域にて各画素のスイッチングトランジスタをPチャネル型MOSFETとする場合には、先に述べたように、画素領域の遮光層11と周辺回路のPチャネル型MOSFETを遮光する遮光層222に印加される高電源電位VDDを接地電位GNDとすることが、液晶パネル内のより多くのMOSFETのチャネルを安定化できて好ましい。

このように、周辺回路を構成するMOSFETは、P型MOSFETとN型MOSFETとの間で分離されたそれぞれの遮光層212, 222を有し、その遮光層にはそれぞれのMOSFETのソースに接続される電源電位が供給されるようにして、それぞれのMOSFETのチャネル領域に電位を供給し、チャネル領域の電位を安定化することができる。また、P型チャネル領域から高電源電位へ、N型チャネル領域から低電源電位へ、チャネル領域に生じた余剰キャリアを引き抜き、MOSFETでの耐圧劣化を防止して信頼性を向上することができる。

なお、遮光層212はPチャネル型MOSFET及びコンタクト領域を遮光し、遮光層222はNチャネル型MOSFET及びコンタクト領域を遮光して、MOSFETでの光リーキ電流を防止することができる。また、第2の実施形態のように、MOSFETの下に遮光層201を形成してもよい。この遮光層201も、上層の遮光層212, 222と同様に、それぞれのMOSFETと平面的に重なるように、且つ互いに分離して形成され、Pチャネル型MOSFETの場合は高電位、Nチャネル型MOSFETの場合は低電位が印加されることが好ましい。特には、埋め込み遮光層201は対応する上層の遮光層212, 222と、それぞれ同一の電源電位に接続されることが、それぞれのMOSFETの動作の安定化のためには好ましい。

なお、上層の遮光層を形成する二層目のアルミニウム層や埋め込み遮光層は、画素領域での遮光層と同一層で形成できる。また、これらの遮光層に用いられる導電層は、周辺回路領域においては遮光層だけでなく、配線層としても用いることができる。

(本発明の液晶パネルをライトバルブに用いた投射型表示装置の説明)

図12及び図13は、本発明の電気光学装置の一例である液晶パネルをライトバルブに用いた投射型表示装置の光学構成を示す図である。

図12は、透明導電膜を画素電極とする本発明の液晶パネルを用いた投射型表示装置の要部を示す概略構成図である。図中、410は光源、413、414はダイクロイックミラー、415、416、417は反射ミラー、418、419、420はリレーレンズ、422、423、424は液晶ライトバルブ、425はクロスダイクロイックプリズム、426は投射レンズを示す。青色光・緑色光反射のダイクロイックミラー413は、光源410からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー417で反射されて、赤色光用液晶ライトバルブ422に入射される。一方、ダイクロイックミラー413で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー414によって反射され、緑色光用液晶ライトバルブ423に入射される。一方、青色光は第2のダイクロイックミラー414も透過する。青色光に対しては、入射レンズ418、リレーレンズ419、出射レンズ420を含むリレーレンズ系からなる導光手段421が設けられ、これを介して青色光が青色光用液晶ライトバルブ424に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム425に入射され、各色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ426によってスクリーン427上に投射され、画像が拡大されて表示される。

図13は、反射電極を画素電極とする本発明の液晶パネルを用いた投射型表示装置の要部の概略構成図である。光源110、インテグレータレンズ120、偏光変換素子130から概略構成される偏光照明装置100、偏光照明装置100から出射されたS偏光光束をS偏光光束反射面201により反射させる偏光ビームスプリッタ200、偏光ビームスプリッタ200のS偏光反射面201から反射された光のうち、青色光(B)の成分を分離するダイクロイックミラー412、分離された青色光(B)を青色光を変調する反射型液晶ライトバルブ300B、青色光が分離された後の光束のうち赤色光(R)の成分を反射させて分離する

ダイクロイックミラー413、分離された赤色光（R）を変調する反射型液晶ライトバルブ300R、ダイクロイックミラー413を透過する残りの緑色光（G）を変調する反射型液晶ライトバルブ300G、3つの反射型液晶ライトバルブ300R、300G、300Bにて変調された光をダイクロイックミラー412
5 , 413, 偏光ビームスプリッタ200にて合成し、この合成光をスクリーン600に投射する投射レンズからなる投射光学系500から構成されている。上記3つの反射型液晶ライトバルブ300R、300G、300Bには、それぞれ前述の液晶パネルが用いられている。

いずれの投射型表示装置の構成例においても、液晶パネルの各画素には、トランジスタのチャネルの電位を安定化できる保護構造を有しているため、高性能で高耐圧のアクティブマトリクス型液晶パネルを用いて表示することができる。
10

（本発明の液晶パネルを表示装置に用いた電子機器の説明）

図14は、本発明の電気光学装置の一例である液晶パネルを表示装置に用いた電子機器の概観図を示す。図14（A）は、携帯電話1000の表示部1001に本発明の液晶パネルを用いた例を示す。図14（B）は、腕時計型の機器1100の表示部1101に本発明の液晶パネルを用いた例を示す。図14（C）は、コンピュータ1200の表示部1206に本発明の液晶パネルを用いた例を示す。1204は本体、1202はキーボード等の入力部を示す。
15

いずれの電子機器の構成例においても、液晶パネルの各画素には、トランジスタのチャネルの余剰キャリアを抜くことのできる保護構造を有しているため、高性能で高耐圧のアクティブマトリクス型液晶パネルを用いて表示することができる。
20

25 （本発明の変形例）

以上に説明した本発明の実施形態は、これに限定されるものではなく、本発明の趣旨を変えない範囲で種々に変更することができる。

例えば、画素のスイッチングトランジスタとしては、相補型の薄膜トランジスタを用いてもよい。それぞれのトランジスタのチャネル領域を図11に示すよう

に互いに分離された遮光層にそれぞれ接続するようにして、以上に説明した実施形態を採用することによりチャネル領域の電位を安定化することができる。

また、上記実施形態では、画素電極 14 を透明導電膜とした透過型液晶パネル用基板を例にして説明してきたが、画素電極 14 を反射型電極とする或いは反射板を基板の内面側又は外面側に配置する反射型液晶パネルに対して本発明を適用しても構わない。

また、単結晶シリコン層をソース・ドレイン・チャネルとするMOSFET (TFT) を前提として説明したが、多結晶シリコン層或いは非晶質シリコン層をソース・ドレイン・チャネルとする薄膜トランジスタにおいて、チャネル電位を安定化させるために、本発明を適用することができるので、半導体層は単結晶シリコンに限られるものではない。また、本発明の半導体層はSOI技術を用いて基板上に形成するのではなく、CVD法等により絶縁物上に多結晶シリコンや非晶質シリコンを形成する場合や固相成長法等の方法により絶縁物上に単結晶シリコンを形成する場合においても、本発明のように、遮光層を介してそれらの半導体層のチャネルに電位を与えることができる。

また、液晶パネルを前提に実施形態を説明したが、液晶パネル以外の電気光学装置にも本発明を適用してもよい。例えば、発光ポリマーを用いたエレクトロルミネッセンス (EL) や、プラズマディスプレイ (PDP) や、電界放出素子 (FED) 等の自発光素子の各画素をスイッチングするトランジスタにおいて、本発明を適用することもできる。さらに、テキサスインスツルメント社の開発したマイクロミラーデバイス (DMD) 等のように各画素のミラーの角度を変更するようなミラーデバイスにおいても、画素のトランジスタや周辺駆動回路に本発明を適用することもできる。

さらに、上記実施形態では透過型液晶パネル用基板を例にして説明したが、これは絶縁物上にMOSFETを配置する半導体装置の一例にすぎない。本発明はこれに用途を限定するものではなく、光学的な情報を読みとるイメージ入力デバイスや、種々の集積回路などさまざまな半導体装置にも適用できることは明らかである。その際ににおいても半導体装置におけるMOSFETは上記実施形態のごとく絶縁物上に設けられ、MOSFETを覆うように形成された遮光層とMOS

FETのチャネル領域を電気的に接続することにより、MOSFETのチャネル領域に電位を印加して、動作を安定化し、耐圧の向上を図ることができる。特に図11に示した構造は、絶縁物上に形成された半導体層によってチャネル領域を形成するMOSFETから構成された集積回路全般の半導体装置において、用い
5 ることができる。

以上説明したように、本発明によれば、絶縁物上に形成されたMOSFETに対して、それを遮光する遮光層を利用してチャネル領域に電位を与えることにより、MOSFETの動作を安定化させ、MOSFETの耐圧を劣化を抑制することができる。特に、本発明を表示デバイスに用いた場合、チャネル領域に電位を供給する配線として走査線と重なる遮光層を用いることによって画素部の開口率の大きい表示デバイス用基板を供給することができる。開口率を大きく獲れることで同じ明るさの光源を用いればより明るくなり、従来品と同じ明るさにするためには消費電力の小さい光源を用いることができ、高品位の表示デバイスを作成することができる。

15

〔産業上の利用可能性〕

本発明は、絶縁物上の半導体層をチャネル領域とするトランジスタのチャネル領域を遮光層の導電層に接続する構成により、トランジスタの動作の安定化、耐圧劣化の抑制を行うことができるので、半導体装置全般、液晶パネル等の電気光学装置全般のデバイスに利用することができる。また、このデバイスは、投射型表示装置を含む種々の電子機器に利用することができる。

請求の範囲

1. 絶縁物上に形成された半導体層を備えた半導体装置であって、前記半導体層に少なくともチャネル領域が形成されるトランジスタと、前記トランジスタを遮光する遮光層とを有し、前記遮光層と前記トランジスタのチャネル領域とを電気的に接続してなることを特徴とする半導体装置。
5
2. 前記トランジスタはNチャネル型トランジスタであって、前記Nチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、低電位側の電源電位を供給することを特徴とする請求項1記載の半導体装置。
- 10 3. 前記トランジスタはNチャネル型トランジスタであって、前記Nチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、前記Nチャネル型トランジスタのソース・ドレイン領域の一方印加される電位の最低電位以下の電位を供給することを特徴とする請求項1記載の半導体装置。
- 15 4. 前記トランジスタはPチャネル型トランジスタであって、前記Pチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、高電位側の電源電位を供給することを特徴とする請求項1記載の半導体装置。
- 20 5. 前記トランジスタはPチャネル型トランジスタであって、前記Pチャネル型トランジスタのチャネル領域と電気的に接続される前記遮光層に、前記Pチャネル型トランジスタのソース・ドレイン領域の一方印加される電位の最高電位以上の電位を供給することを特徴とする請求項1記載の半導体装置。
6. 前記トランジスタのチャネル領域の半導体層は延在されて同一導電型のコンタクト領域を形成し、前記コンタクト領域と前記遮光層とが電気的に接続されてなることを特徴とする請求項1乃至5の何れかに記載の半導体装置。
- 25 7. 前記コンタクト領域は、前記チャネル領域より高不純物濃度であることを特徴とする請求項6記載の半導体装置。
8. 前記遮光層は、前記トランジスタの上方を覆うように配置されることを特徴とする請求項1乃至5の何れかに記載の半導体装置。
9. 絶縁物上に形成された半導体層を備えた半導体装置であって、前記半導体層に少なくともチャネル領域が形成されるPチャネル型トランジス

タ及びNチャネル型トランジスタと、前記Pチャネル型トランジスタを遮光する第1の遮光層と、前記Nチャネル型トランジスタを遮光する第2の遮光層とを有し、前第1の遮光層と前記第2の遮光層とは分離配置され、

5 前記第1の遮光層と前記Pチャネル型トランジスタのチャネル領域とを電気的に接続し、前記第2の遮光層と前記Nチャネル型トランジスタのチャネル領域とを電気的に接続してなることを特徴とする半導体装置。

10. 前記第1の遮光層に高電位側の電源電位を供給し、前記第2の遮光層に低電位側の電源電位を供給することを特徴とする請求項9記載の半導体装置。

11. 前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタのチャネル領域の半導体層はそれぞれ延在されて同一導電型のコンタクト領域をそれぞれ形成し、前記各コンタクト領域と前記各遮光層とが電気的に接続されてなることを特徴とする請求項9又は10記載の半導体装置。

12. 前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタは、電気光学装置の駆動回路を構成してなることを特徴とする請求項9記載の半導体装置。

13. 基板上にマトリクス状に形成される複数の画素領域の各画素領域毎にトランジスタが配置される電気光学装置用基板において、

前記基板上に前記トランジスタのチャネル領域となる半導体層が形成されてなり、該チャネル領域となる半導体層は、当該トランジスタを遮光し且つ所定の電位が印加された遮光層に電気的に接続されてなる

ことを特徴とする電気光学装置用基板。

14. 前記トランジスタはNチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以下の電位が印加されることを特徴とする請求項13記載の電気光学装置用基板。

15. 前記トランジスタはPチャネル型トランジスタであって、前記遮光層には前記トランジスタに供給される画像信号の電位以上の電位が印加されることを特徴とする請求項13記載の電気光学装置用基板。

16. 前記トランジスタはNチャネル型トランジスタであって、前記遮光層には、前記Nチャネル型トランジスタの導通・非導通を制御する走査信号の非選

択電位が印加されることを特徴とする請求項 13 記載の電気光学装置用基板。

17. 前記トランジスタはPチャネル型トランジスタであって、前記遮光層には、前記Pチャネル型トランジスタの導通・非導通を制御する走査信号の非選択電位が印加されることを特徴とする請求項 13 記載の電気光学装置用基板。

5 18. 前記トランジスタのチャネル領域の半導体層は延在されて同一導電型のコンタクト領域を形成し、前記コンタクト領域と前記遮光層とが電気的に接続されることを特徴とする請求項 13 乃至 17 の何れかに記載の電気光学装置用基板。

10 19. 前記コンタクト領域は、前記チャネル領域より高不純物濃度であることを特徴とする請求項 18 記載の電気光学装置用基板。

20. 前記遮光層は、前記トランジスタの導通・非導通を制御する走査信号が印加される走査線の上方に平面的に重なるように配置されることを特徴とする請求項 13 乃至 17 の何れかに記載の電気光学装置用基板。

15 21. 前記トランジスタのチャネル領域となる半導体層の前記基板側には、更なる遮光層が平面的に重なるように配置されることを特徴とする請求項 20 記載の電気光学装置用基板。

22. 前記画素領域の周辺の前記基板上には周辺回路を配置し、前記周辺回路を構成するトランジスタのチャネル領域となる半導体層は、当該トランジスタを遮光する遮光層に電気的に接続されることを特徴とする請求項 13 記載の電気光学装置用基板。

23. 前記周辺回路はPチャネル型トランジスタ及びNチャネル型トランジスタによって構成され、前記Pチャネル型トランジスタを遮光する第1の遮光層と、前記Nチャネル型トランジスタを遮光する第2の遮光層とを有し、前第1の遮光層と前記第2の遮光層とは分離配置され、前記第1の遮光層と前記Pチャネル型トランジスタのチャネル領域とを電気的に接続し、前記第2の遮光層と前記Nチャネル型トランジスタのチャネル領域とを電気的に接続してなることを特徴とする請求項 22 記載の電気光学装置用基板。

24. 前記画素領域の遮光層と前記周辺回路の遮光層とは同一層により形成されてなることを特徴とする請求項 22 又は 23 記載の半導体装置。

25. 前記画素領域の遮光層は、前記周辺回路の配線層と同一層により形成されてなることを特徴とする請求項22又は23記載の半導体装置。

26. 前記画素領域のトランジスタはNチャネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のNチャネル型トランジスタの遮光層に印加される電位を接地電位とすることを特徴とする請求項23記載の電気光学装置用基板。
5

27. 前記画素領域のトランジスタはPチャネル型トランジスタであって、前記画素領域の遮光層と前記周辺回路のPチャネル型トランジスタの遮光層に印加される電位を接地電位とすることを特徴とする請求項23記載の電気光学装置用基板。
10

28. 前記基板が絶縁物質からなることを特徴とする請求項13記載の電気光学装置用基板。

29. 前記基板が石英基板からなることを特徴とする請求項13記載の電気光学装置用基板。

15 30. 前記基板がガラス基板からなることを特徴とする請求項13記載の電気光学装置用基板。

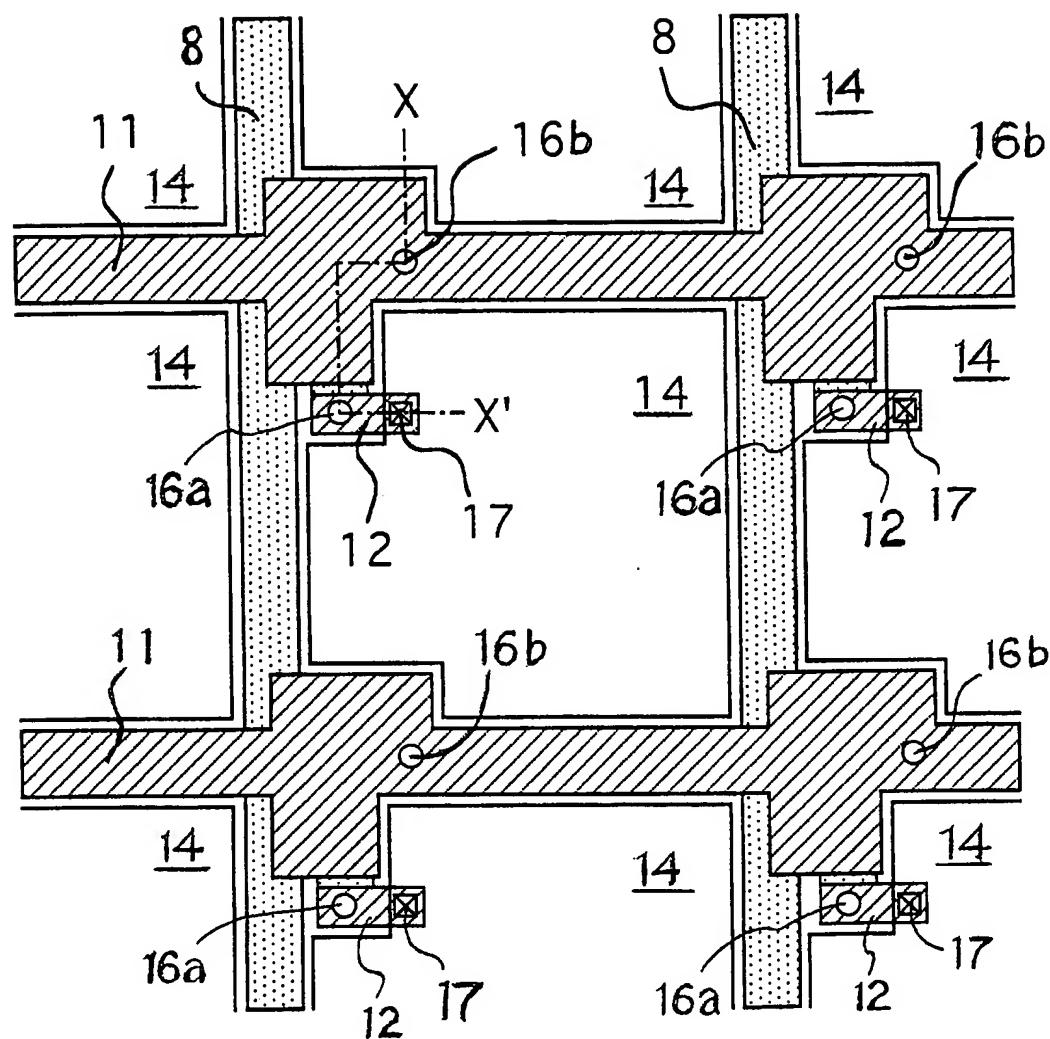
31. 請求項13乃至30の何れかに記載の電気光学装置用基板と、対向基板とが間隙を有して配置されるとともに、該間隙内に電気光学材料が封入されて構成されることを特徴とする電気光学装置。

20 32. 請求項31に記載の電気光学装置を表示装置として用いることを特徴とする電子機器。

33. 光源と、前記光源からの光を変調する請求項31に記載の電気光学装置と、前記電気光学装置により変調された光を投射する投射光学手段とを備えることを特徴とする投射型表示装置。

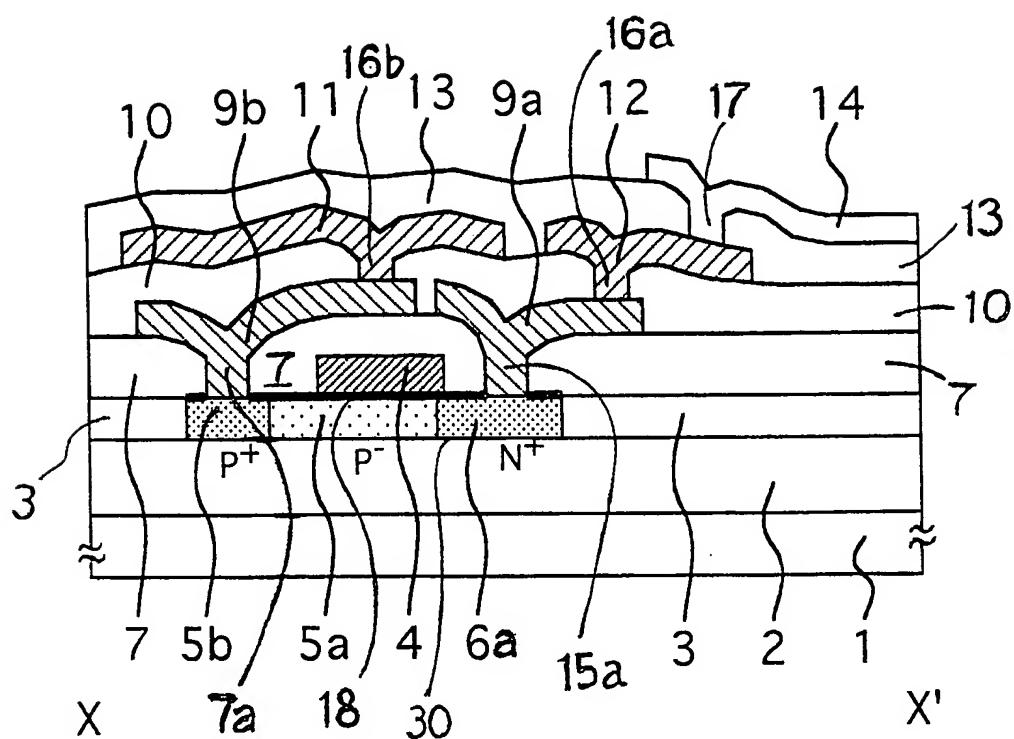
1 / 13

Fig. 1



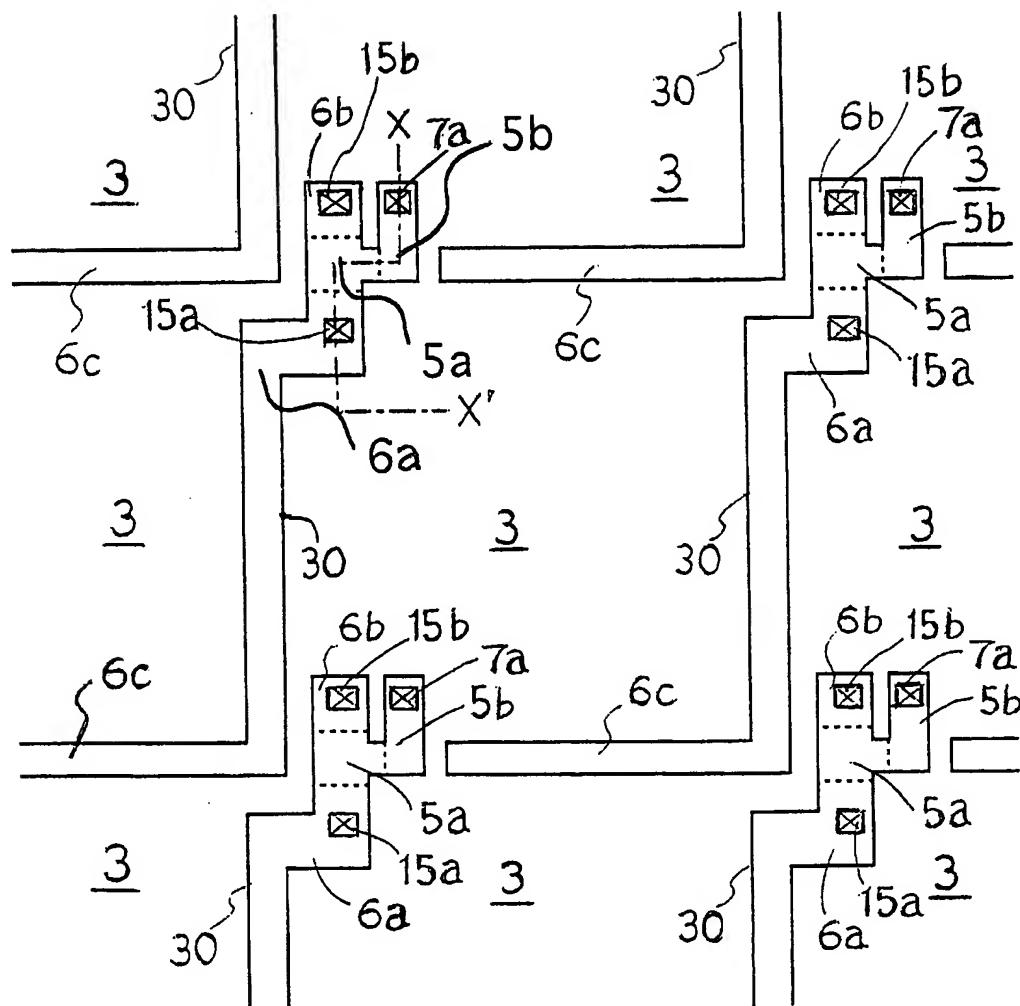
2 / 13

Fig. 2



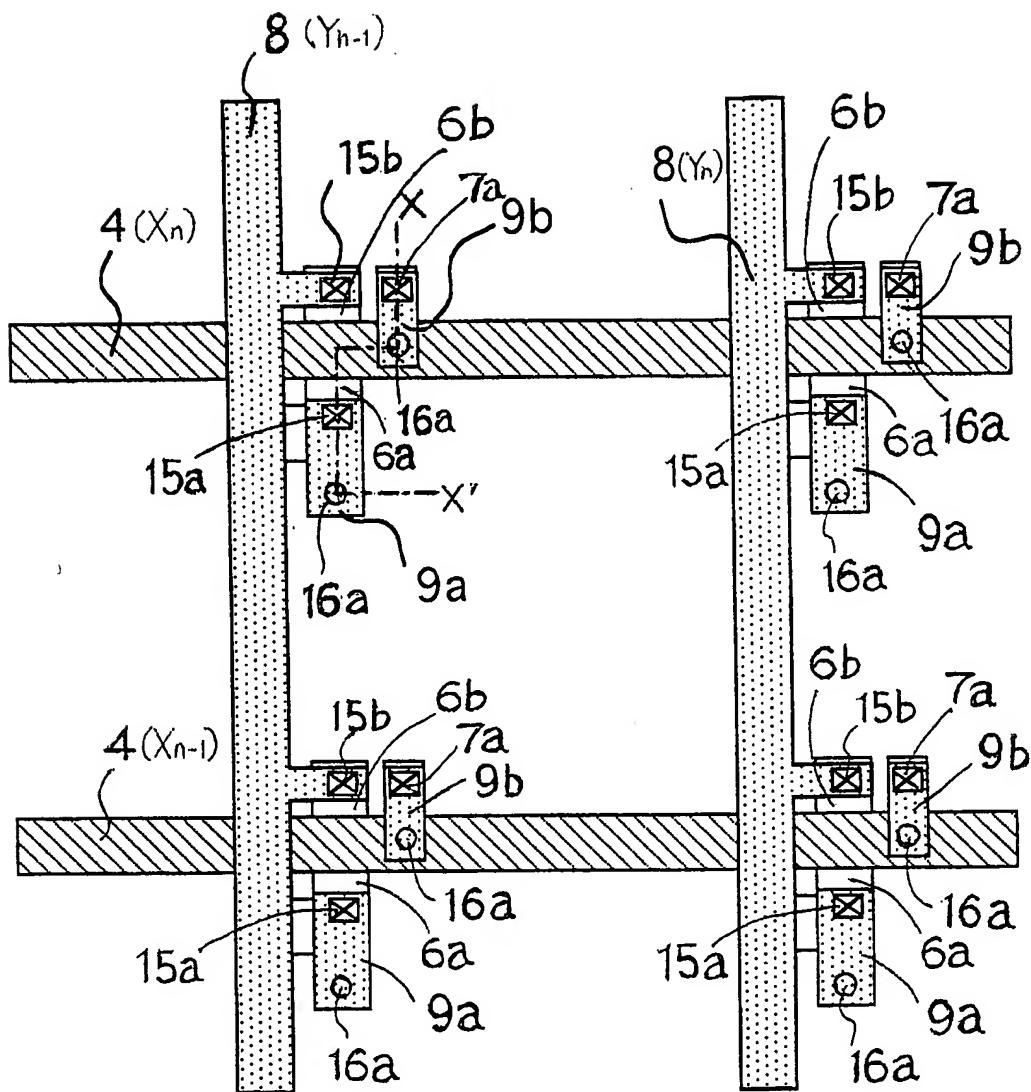
3 / 13

Fig. 3



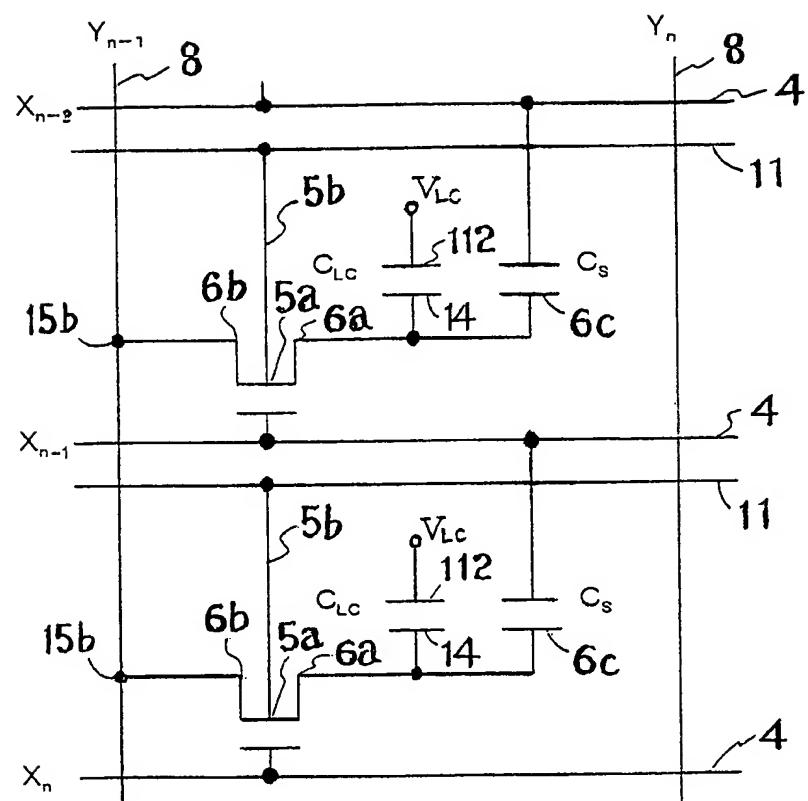
4 / 13

Fig. 4



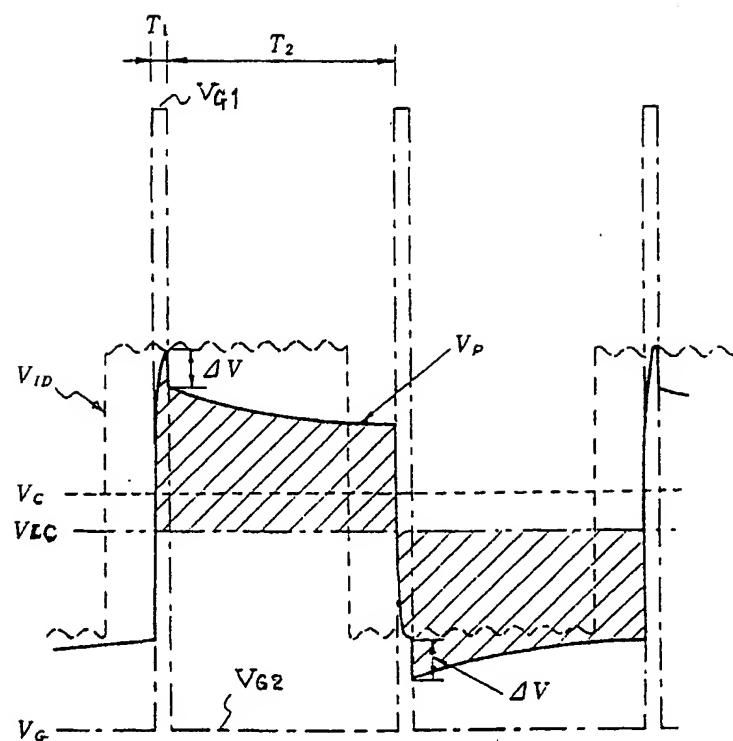
5 / 13

Fig. 5

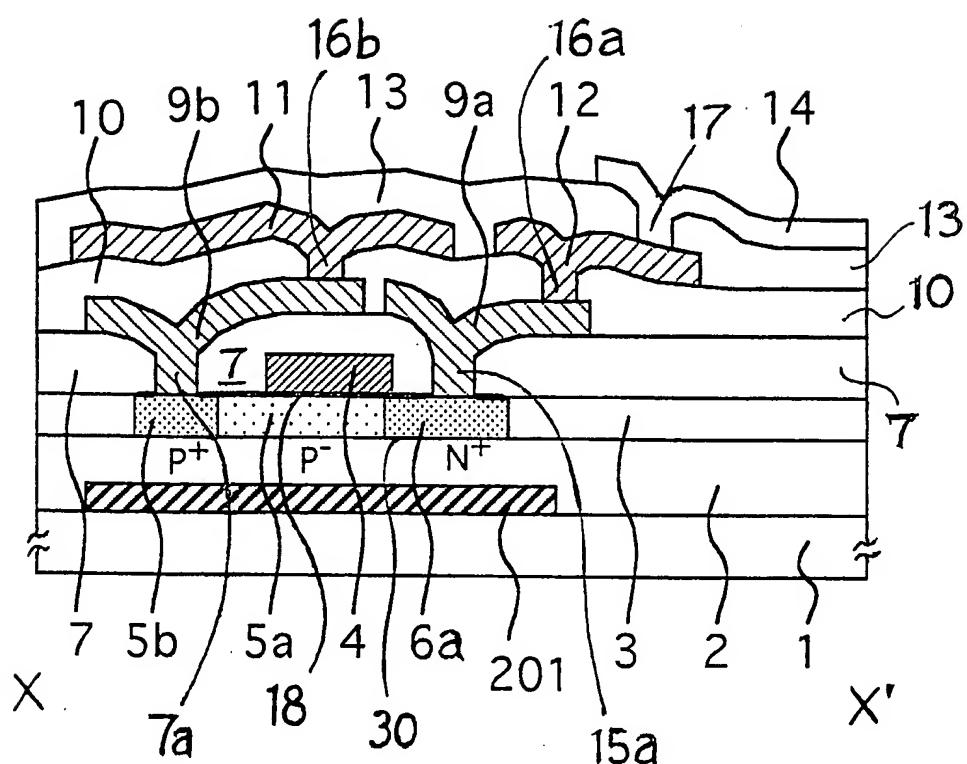


6 / 13

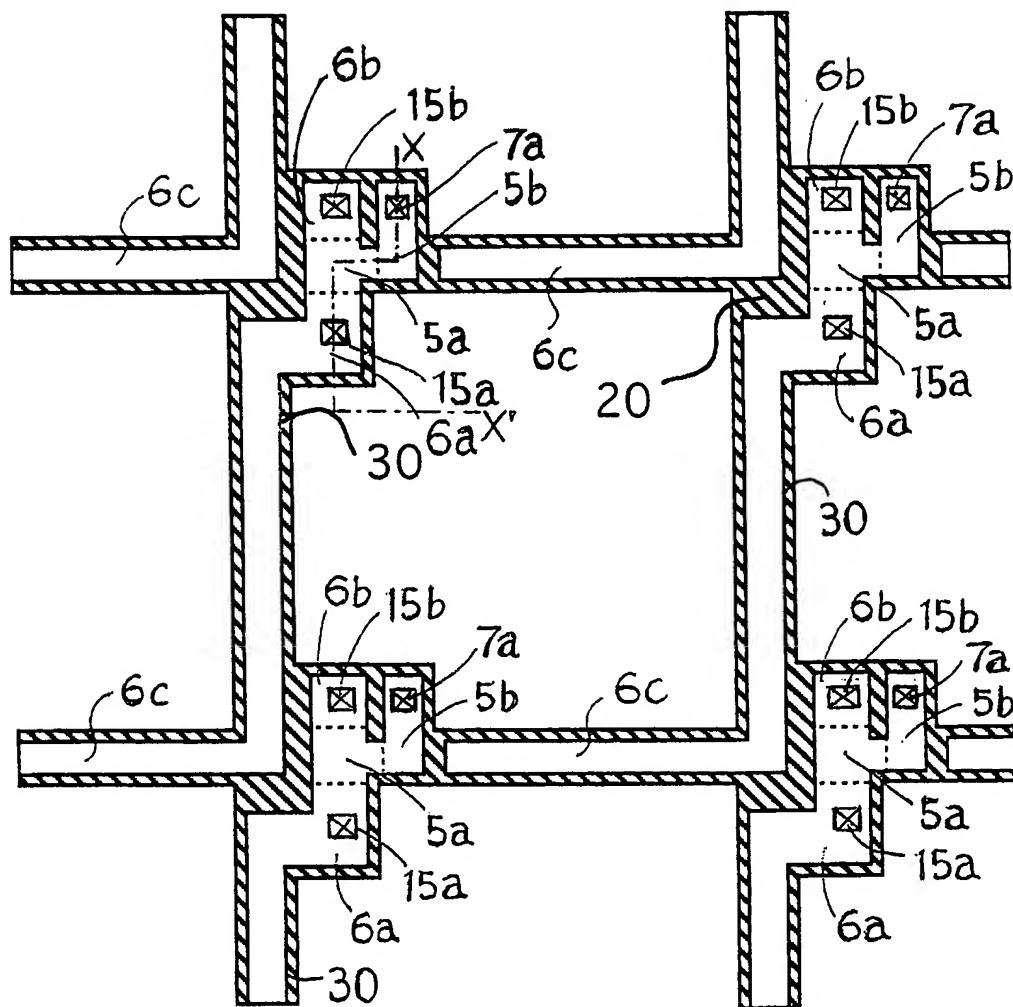
Fig. 6



7/13
Fig. 7



8 / 13
Fig. 8



9/13

Fig. 9

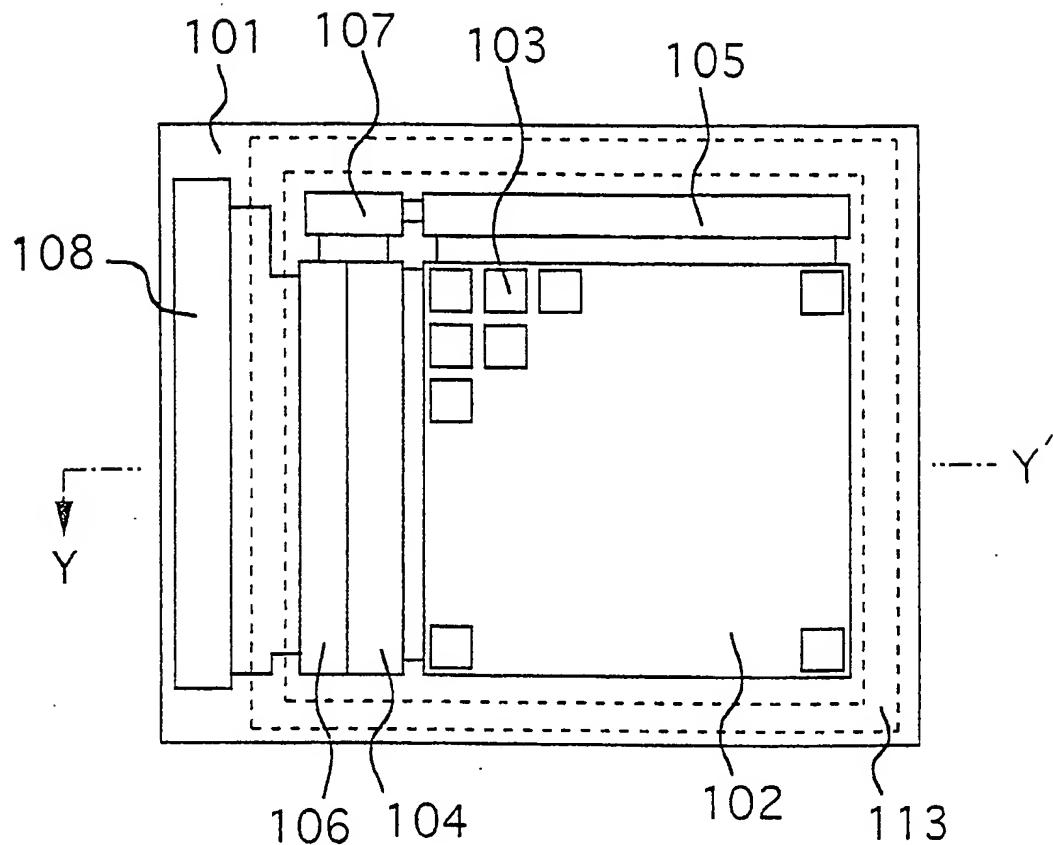
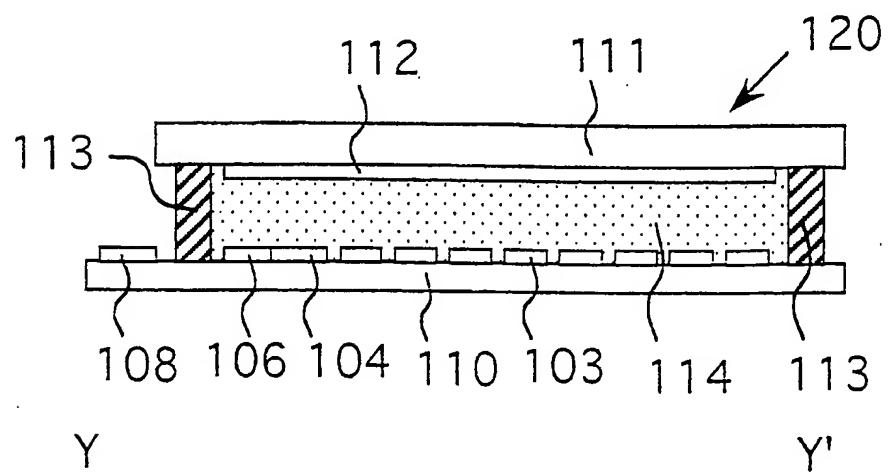


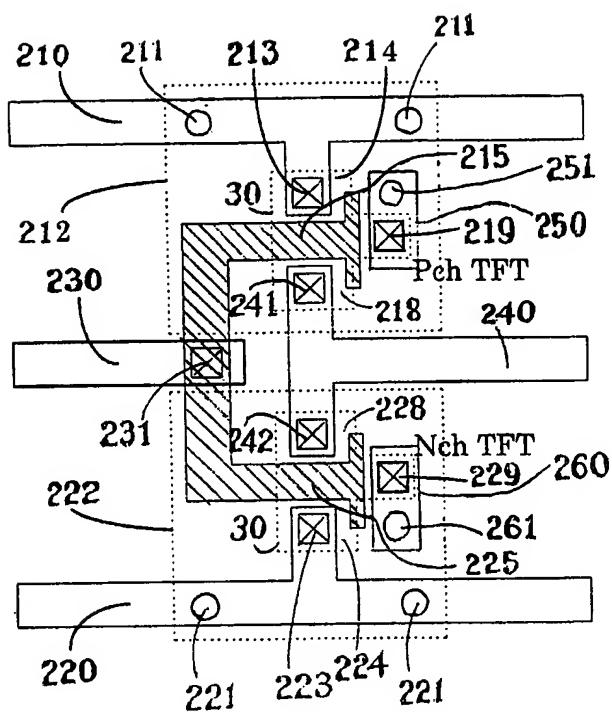
Fig. 10



訂正された用紙（規則91）

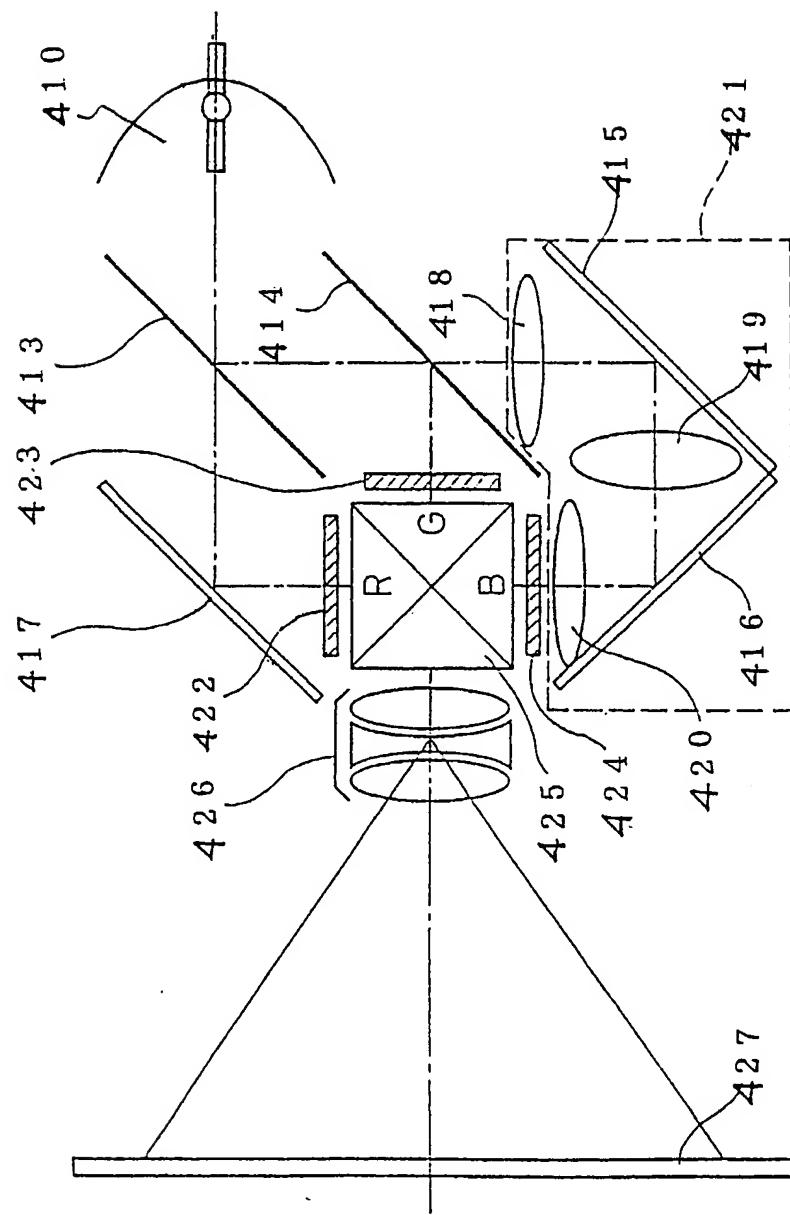
10 / 13

Fig. 11



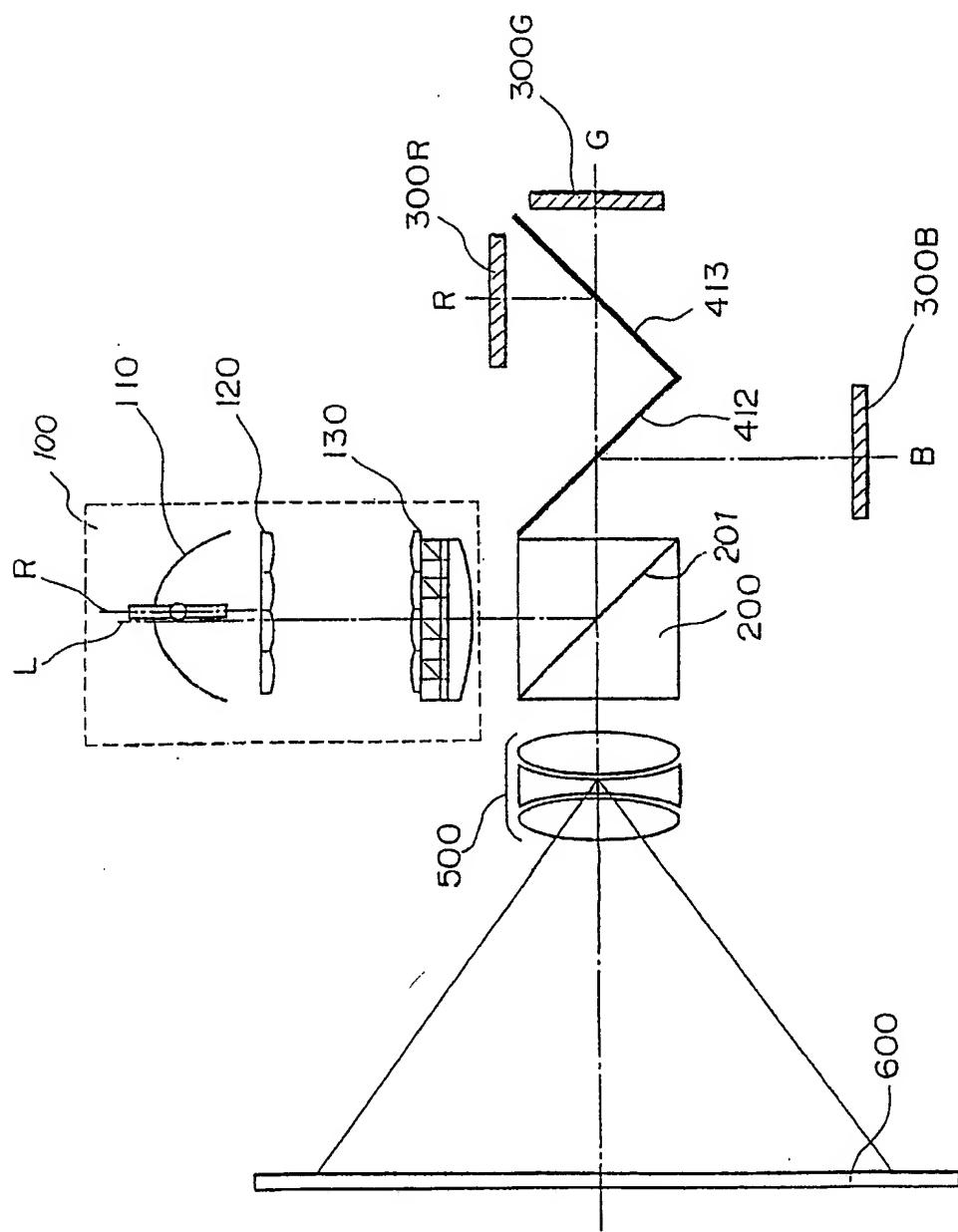
11/13

Fig. 12



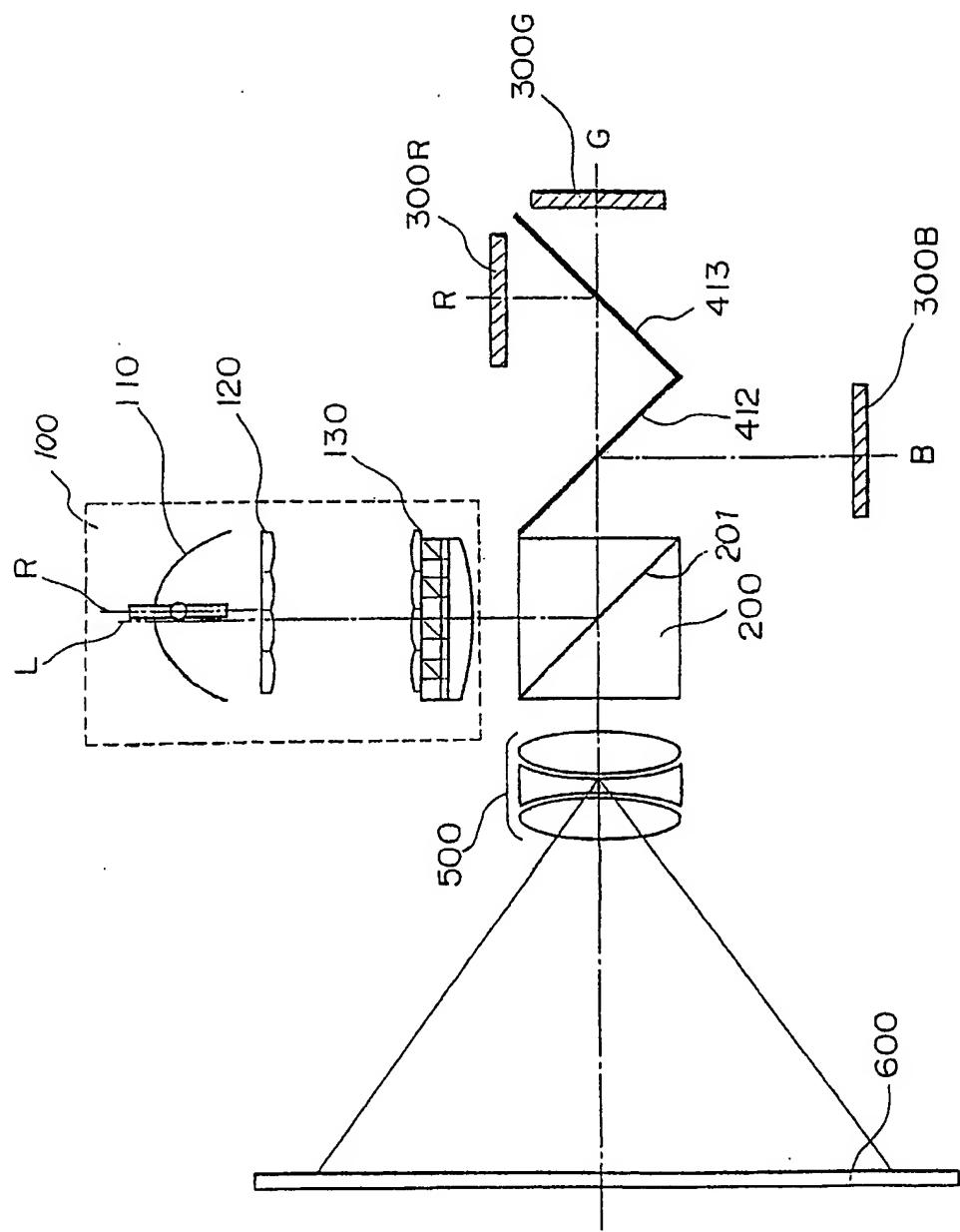
12 / 13

Fig. 13



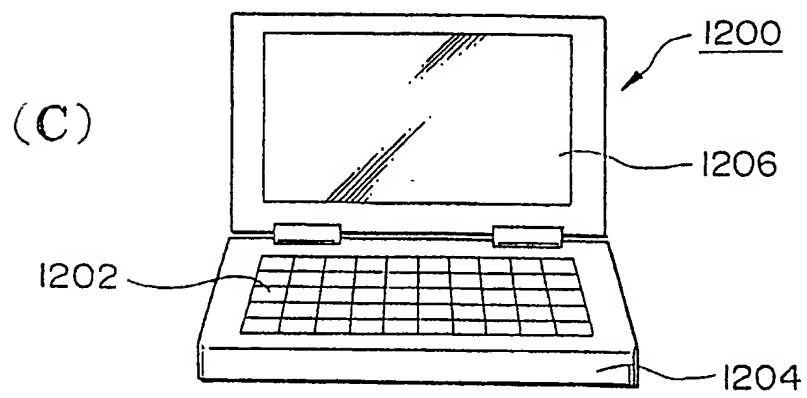
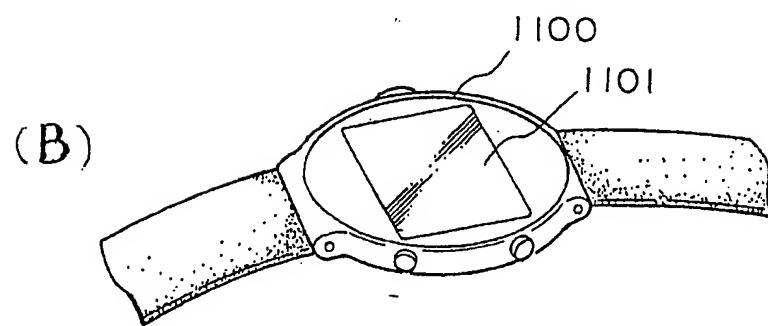
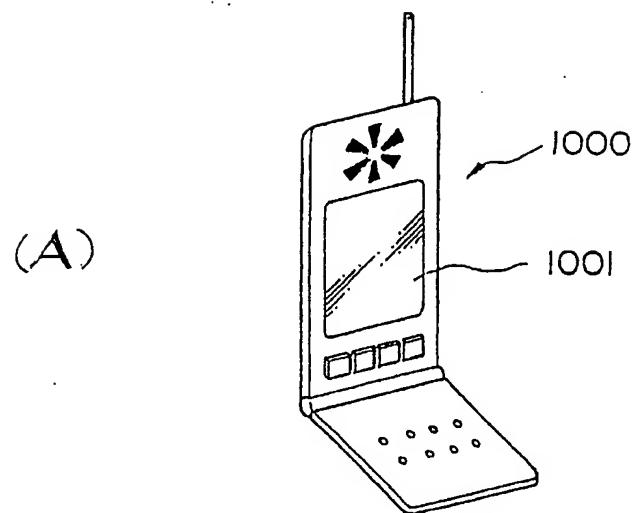
12/13

Fig. 13



13/13

Fig. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00004

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L21/336, H01L29/786, G02F1/133, 550

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L21/336, H01L29/786, G02F1/133, 550

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 64-28622, A (Hitachi, Ltd.), 31 January, 1989 (31. 01. 89), Page 3, lower right column ; Fig. 2 (Family: none)	1-33
A	JP, 7-318979, A (Casio Computer Co., Ltd.), 8 December, 1995 (08. 12. 95), Full text ; Figs. 1, 2 (Family: none)	1-33
A	JP, 61-220371, A (Toshiba Corp.), 30 September, 1986 (30. 09. 86), Page 2, lower right column, line 7 to page 3, lower left column, line 1 ; page 2, upper left column ; Figs. 1, 4 (Family: none)	1-33

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 25 March, 1999 (25. 03. 99)	Date of mailing of the international search report 6 April, 1999 (06. 04. 99)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C1° H01L21/336, H01L29/786, G02F1/133 550

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C1° H01L21/336, H01L29/786, G02F1/133 550

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案	1922-1996年
日本国公開実用新案公報	1971-1999年
日本国登録実用新案公報	1994-1999年
日本国実用新案登録公報	1996-1999年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 64-28622, A (株式会社日立製作所) 31. 1月. 1989 (31. 01. 89) 第3頁右下欄, 第2 図 (ファミリーなし)	1-33
A	JP, 7-318979, A (カシオ計算機株式会社) 8. 12月. 1995 (08. 12. 95) 全文, 図1~2 (ファミリーなし)	1-33
A	JP, 61-220371, A (株式会社東芝) 30. 9月. 1986 (30. 09. 86) 第2頁右下欄第7行 ~第3頁左下欄第1行, 第2頁左上欄, 第1図及び第4図 (ファミ リーなし)	1-33

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
て出願と矛盾するものではなく、発明の原理又は理
論の理解のために引用するもの「X」特に関連のある文献であって、当該文献のみで發明
の新規性又は進歩性がないと考えられるもの「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25. 03. 99

国際調査報告の発送日

06.04.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也



4M 9361

電話番号 03-3581-1101 内線 6765